固定電位層を導入した次世代X線天文用 SOIピクセル検出器の研究

京都大学大学院 理学研究科 物理学第二教室 宇宙線研究室 原田 颯大

2019年1月24日

Abstract

近年の研究で、銀河中心に超巨大質量ブラックホールが普遍的に存在する事が判明したが、その進化の過程や起源は謎に包まれている。ブラックホールなど多くの天体は、広帯域で X 線を放射するため、詳細な性質の解明には広帯域 X 線観測 (0.5–80 keV) が必要となる。しかし、~10 keV 以上の帯域では、高エネルギー粒子起因の非 X 線バックグラウンド (NXB) が高いという問題がある。我々は広帯域かつ高感度の X 線観測実現に向け、次世代 X 線天文衛星計画「FORCE」を推進している。問題の NXB は、検出器の周りをアクティブシールドで囲み、反同時計数法を用いて除去することを検討している。しかし、現行の主力 X 線検出器 CCD は時間分解能が数秒と遅いため、反同時計数法を用いることが出来ない。そこで、我々は X 線 SOI ピクセル検出器「XRPIX」を開発している。

XRPIX は、SOI 技術を用いた検出部・読み出し回路一体型の半導体検出器である。各ピクセルにイベントトリガー機能を実装しているため、イベントを検出したタイミングでヒットしたピクセルを読み出す「イベント駆動読み出し」が可能で、 $<10\,\mu s$ の高時間分解能を実現できる。XRPIX はトリガー信号を使用せず、一定周期で特定の領域を読み出す「フレーム読み出し」も可能である。今までの素子では、イベント駆動読み出しがフレーム読み出しに比べて著しくエネルギー分解能が悪いという問題があった。これはトリガー回路と読み出しノード間に寄生容量が存在し、干渉する事が原因であった。この問題を解決する方法に、センサー層と回路層の間にシールド層を導入することが考えられる。そこで、我々は固定電位層の位置が異なる 2 種類の素子を開発した。

1. Double SOI 構造

1つ目は、酸化膜中に固定電位層を設けた Double SOI 構造を持つ素子 XRPIX6bD である。XRPIX6bD を評価した結果、干渉の抑制に成功し、イベント駆動読み出しで過去最高性能となる 6.4 keV で 345 eV (FWHM) を達成した。一方で、テール成分が大きいという問題も見つかった。この問題を、実験及びシミュレーションを用いて検証を行い、センサー層と絶縁層の界面付近で電荷が失われている可能性を示した。

2. Pinned Depleted Diode (PDD) 構造

XRPIX6bD の研究成果に基づき、私達は、共同研究者と協力し、PDD 構造を導入した最新素子 XRPIX6E を開発した。センサー層と絶縁層の界面を覆うように固定電位層を導入することで、静電シールドの役割を持たせながら界面から生じる暗電流を抑制できるなど、様々な利点が期待できる。XRPIX6E を評価した結果、イベント駆動読み出しで XRPIX6bD の性能を大幅に上回る 6.4 keV で 225 eV (FWHM) を達成し、FORCE 衛星搭載の要求性能を「初めて」満たした。

優れた性能を達成した XRPIX6E であるが、ある特定の条件下でしか動作しないという新たな問題に直面した。原因を調査し得られた理解をもとに、我々は、共同研究者と共に、従来の PDD 構造のメリットは残しつつ正常に動作可能な新 PDD 構造の提案を行った。この新構造は、SOIPIX グループ全体に取り入れられることになり、この構造をもとにした素子制作が、現在、進められている。

目次

第1章	次世代広帯域 X 線撮像分光器の開発	1
1.1	超巨大質量ブラックホール進化の解明	1
	1.1.1 活動銀河核の概要	1
	1.1.2 埋もれた活動銀河核	2
1.2	次世代広帯域撮像分光 X 線天文衛星「FORCE」	3
	1.2.1 FORCE 衛星の科学目標と特徴	4
1.3	FORCE 衛星の概要	4
	1.3.1 広帯域を観測できるハイブリッド検出器	5
	1.3.2 10 keV 以上の高エネルギー帯域観測	5
	1.3.3 FORCE 衛星搭載の検出器に求められる性能	7
第2章	X 線天文と半導体検出器	10
2.1	X 線天文と観測方法	10
	2.1.1 宇宙 X 線観測の方法	10
	2.1.2 X線と物質の相互作用	11
2.2	半導体検出器の基礎	13
	2.2.1 pn 接合とバンド図	14
	2.2.2 空乏層厚とバックバイアス電圧	15
	2.2.3 キャリアの輸送	16
	2.2.4 エネルギー分解能	18
	2.2.5 量子効率	18
2.3	イメージセンサーの基礎	19
	2.3.1 MOSFET	19
	2.3.2 MOSFET のノイズ	21
	2.3.3 CCD センサー	23
	2.3.4 MOS センサー	24
	2.3.5 CMOS イメージセンサー	26
2.4	半導体検出器の応用	29
	2.4.1 DEPFET 検出器	
	2.4.2 金属バンプ型ハイブリット検出器	29
第3章	SOIPIX 検出器の基礎	31
3.1	SOI 技術	31
	3.1.1 Bulk CMOS & SOI CMOS	31

	3.1.2 PD SOI & FD SOI	32
	3.1.3 SOI ウェハーの製造方法	32
3.2	SOI 検出器の利点	33
3.3	SOI 検出器での問題	34
第4章	X 線天文用ピクセル検出器 XRPIX の開発	37
オーチ 4.1	2 1 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	31 39
4.1		<i>39</i> 40
4.2		40 40
		40 43
4.3		43 43
4.3		
		43
4.4		46
4.4	従来の XRPIX の性能と課題	46
第5章	Double SOI 構造を導入した XRPIX6bD	49
5.1	XRPIX6bD 素子の開発	51
	5.1.1 実験セットアップ	52
	5.1.2 フレーム読み出しでの解析方法	54
5.2	基本性能試験	57
	5.2.1 センサーのダイオード特性	57
	5.2.2 空乏層厚の測定	57
	5.2.3 3成分モデルを用いたフィット	58
5.3	フレーム読み出しでの性能評価	59
5.4	軟 X 線性能評価	61
	5.4.1 軟 X 線性能評価のセットアップ	61
	5.4.2 XRPIX6bD の軟 X 線スペクトル性能	62
	5.4.3 ゲインと読み出しノイズ	63
5.5	イベント駆動読み出しでの性能評価	64
	5.5.1 イベント駆動読み出しでの X 線データ解析方法	64
	5.5.2 イベント駆動読み出しでの X 線スペクトル	65
5.6	XRPIX6bD での問題	67
		67
	5.6.2 電荷収集時間の問題	69
	and the second s	71
第6章	PDD 構造を導入した新素子 XRPIX6E	73
第0章 6.1	2200	73 73
6.2		
0.2		77 70
6.2		78
6.3		80
	6.3.1 XRPIX6E での電荷収集時間の問題	02

6.3.2	イベント駆動読み出しでのゲインと読み出しノイズ	83
6.3.3	イベント駆動読み出しでのピクセル毎のエネルギー分解能	84
XRPIX	K6E における暗電流問題	86
暗電流	問題の発見	86
暗電流	問題の調査	87
7.2.1	XRPIX6E の周辺構造	89
7.2.2	実験 1: 周辺部に印加する電圧を変更	89
7.2.3	実験 2: 露光時間を変更	91
暗電流	問題の原因の考察	91
7.3.1	XRPIX6E と SOIPIX-PDD の違い	91
7.3.2	暗電流問題の原因	92
7.3.3	暗電流問題の原因のまとめ	96
PDD 		97
	靖造の改良 PDD 構造の提案	
新たな		97
新たなシミュ	PDD 構造の提案	97 100
新たな シミュ 8.2.1	PDD 構造の提案	97 100 101
新たな シミュ 8.2.1	PDD 構造の提案	97 100 101
新たな シミュ 8.2.1 8.2.2 まとめ	PDD 構造の提案	97 100 101 102
新たな シミュ 8.2.1 8.2.2 まとめ XRPIX	PDD 構造の提案	97 100 101 102 105
	6.3.3 XRPIX 暗電流 7.2.1 7.2.2 7.2.3 暗電流 7.3.1 7.3.2	6.3.3 イベント駆動読み出しでのピクセル毎のエネルギー分解能XRPIX6E における暗電流問題 暗電流問題の発見 暗電流問題の調査7.2.1 XRPIX6E の周辺構造 7.2.2 実験 1: 周辺部に印加する電圧を変更 7.2.3 実験 2: 露光時間を変更 暗電流問題の原因の考察7.3.1 XRPIX6E と SOIPIX-PDD の違い 7.3.2 暗電流問題の原因

図目次

1.1	銀河バルジと SMBH の相関	1
1.2	2–10 keV バンドでの AGN の空間数密度の赤方偏移依存性	2
1.3	宇宙 X 線背景放射のスペクトルと、最新の種族合成モデル	3
1.4	10-40 keV バンドの CXB 強度を点源として分解できる割合を、検出感度の	
	関数で表した図	4
1.5	次世代広帯域撮像分光 X 線天文衛星 FORCE の概要	5
1.6	Si 検出器と CdTe 検出器のハイブリッド構造の概念図	6
1.7	すざく衛星に搭載している X線 CCD で取得した NXB のカウントレート .	6
1.8	反同時計数法を用いた NXB 除去の概念図	9
2.1	様々な波長で観測した天の川銀河・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	10
2.2	さまざまな電磁波に対する地球大気の透過率と観測手段	11
2.3	光電吸収の模式図	11
2.4	コンプトン散乱の模式図	12
2.5	電子-陽電子対生成の模式図	13
2.6	Si に対する光子の反応断面積	14
2.7	pn 接合のイメージとエネルギーバンド図	14
2.8	バックバイアス電圧を印加した時のpn接合のイメージとエネルギーバンド図	16
2.9	NMOS と PMOS の模式図と回路図	20
2.10	MOSFET の特性	22
2.11	MOSFET を含めた RC 回路 (リセット回路)	23
2.12	CCD 検出器の電荷転送方式の模式図	24
	X線天文衛星の概念図	25
	CCD 検出器の外観及び読み出しの流れ	25
	MOS イメージセンサーの構成と読み出しの流れ	26
	CMOS イメージセンサーの構成と読み出しの流れ	27
	NMOS を用いたソースフォロア回路	28
	DEPFET 検出器の概要	30
2.19	金属バンプ型ハイブリット検出器の概念図	30
3.1	SOI ピクセル検出器の構造図	31
3.2	Bulk CMOS と SOI CMOS の断面図	32
3.3	PD SOI と FD SOI の断面図	32
3.4	Smart Cut 法による SOI ウェハーの製造工程	33

図目次

3.5	SOI 検出器と他の X 線検出器の比較チャート図	35
3.6	SOI 検出器でのバックゲート効果のシミュレーション	36
3.7	BPW 有無によるトランジスタの特性変化	36
4.1	XRPIX シリーズ開発の歴史	37
4.2	大面積素子を用いたフレーム読み出しのデモ画像	38
4.3	大面積素子を用いたイベント駆動のデモ画像	38
4.4	表面照射と裏面照射での検出感度の違い	39
4.5	XRPIX の読み出し回路	40
4.6	ソース接地増幅回路	41
4.7	XRPIX での BPW 面積とゲインの関係、及び読み出しノイズとゲインの関係	42
4.8	XRPIX における CDS 回路の動作原理	44
4.9	イベント駆動読み出しの流れ	45
4.10	歴代の XRPIX で取得した ²⁴¹ Am の X 線スペクトル (フレーム読み出し)	47
4.11	XRPIX3b で取得した ²⁴¹ Am の X 線スペクトル	47
4.12	トリガー信号とアナログ信号が干渉している信号波形とその原因を示すイ	
	メージ図	48
5.1	従来の SOI (Single SOI) 構造と Double SOI 構造の比較	49
5.2	Double SOI 構造でバックゲート効果のシミュレーションを行う際に用いた	
	デバイス構造	50
5.3	Single SOI と Double SOI でのバックゲート効果のシミュレーション結果 .	50
5.4	XRPIX6bD の写真及び概要	51
5.5	XRPIX6bD の断面図	51
5.6	実験セットアップの写真	52
5.7	XRPIX の読み出しボード	53
5.8	SDD で取得した ⁵⁷ Co と ²⁴¹ Am のスペクトル	54
5.9	フレーム読み出しによる出力のカラーマップとヒストグラム	55
5.10	イベントセレクションの関係図	56
5.11	XRPIX6bDの I-V 特性	57
5.12	⁵⁷ Co の特性 X 線スペクトルとフィット方法	58
5.13	Fe-Kα + Fe-Kβ のカウント数のバックバイアス依存性	59
5.14	XRPIX6bD フレーム読み出しで取得した ⁵⁷ Co と ²⁴¹ Am のシングルピクセ	
	ルイベントスペクトル	60
5.15	軟 X 線性能評価に使用するセットアップ	61
5.16	軟 X 線性能評価セットアップの概念図	62
5.17	SDD で取得した軟 X 線のスペクトル	62
5.18	XRPIX6bD で取得した軟 X 線 (F, Al, Ti) のスペクトル	63
5.19	XRPIX6bD フレーム読み出しでの、X線エネルギーと波高値の関係および	
	読み出しノイズと素子ゲインの関係	64
5.20	XRPIX6bD イベント駆動読み出しで取得した ⁵⁷ Co と ²⁴¹ Am のシングルピ	
	クセルイベントスペクトル	66

5.21	XRPIX6bDイベント駆動読み出しでの、X線エネルギーと波高値の関係および読み出しノイズと素子ゲインの関係
5 22	XRPIX6bD で過渡解析シミュレーションを行った結果
	バックバイアス電圧を上げた時の XRPIX6bD フレーム読み出しでの X 線
3.23	スペクトル
5 24	バックバイアス電圧を上げた時の XRPIX6bD イベント駆動読み出しでの X
J.27	線スペクトル
5 25	$XRPIX6bD$ イベント駆動読み出しで、 T_{STORE} を変えた際のシングルピクセ
3.23	ルイベントスペクトル
5 26	XRPIX6bD の電場シミュレーション
3.20	Mtt
6.1	従来の SOI (Single SOI) 構造と Pinned Depleted Diode 構造の比較
6.2	XRPIX6E の断面図
6.3	XRPIX6E の構造でシミュレーションを行なった際の3次元ポテンシャル図
6.4	PDD 構造でバックゲート効果のシミュレーションを行う際に用いたデバイ
	ス構造
6.5	Single SOI と PDD でのバックゲート効果のシミュレーション結果
6.6	XRPIX6E フレーム読み出しで取得した ⁵⁷ Co と ²⁴¹ Am のシングルピクセル
	イベントスペクトル
6.7	XRPIX6Eフレーム読み出しでの、X線エネルギーと波高値の関係図
6.8	フレーム読み出しで得られたピクセル毎のゲイン
6.9	XRPIX6E イベント駆動読み出しで取得した ⁵⁷ Co と ²⁴¹ Am のシングルピク
	セルイベントスペクトル
6.10	XRPIX6E イベント駆動読み出しで T _{STORE} を変えた際のシングルピクセル
	イベントスペクトル
6.11	XRPIX6E イベント駆動読み出しでの、X 線エネルギーと波高値の関係お
	よび読み出しノイズと素子ゲインの関係
6.12	イベント駆動読み出しで得られたピクセル毎のゲイン
6.13	XRPIX6E イベント駆動読み出しにおけるピクセル毎のエネルギー分解能.
6.14	読み出しノイズと素子ゲインの関係に、XRPIX6Eの1 pixel でのイベント
	駆動読み出しの結果を加えた図・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
7.1	バックバイアス電圧 V_b 毎の出力値
7.2	暗電流問題を領域別に分類した図
7.3	周辺構造まで含めた XRPIX6E の断面図
7.4	周辺部の n 型リングに印加する電圧 V_{BNW_RING} を変化させた際の暗電流問
	題の変化
7.5	オシロスコープで取得した XRPIX6E のアナログ出力波形
7.6	露光時間を変化させた際の暗電流問題の変化
7.7	XRPIX6E と SOIPIX-PDD の断面図
7.8	BN6 形成の有無によるポテンシャルの違い
7.9	暗電流問題の原因を推測した図

図目次vii

7.10	バックバイアス電圧 V _b によるポテンシャル変化の推定図	95
8.1	周辺構造を改良した新たな PDD 構造	98
8.2	従来の PDD 構造と今回提案する新たな PDD 構造の断面図の比較	99
8.3	CSA 回路に使用するトランジスタのサイズ (LW) を変化させた時の、入力	
	換算ノイズの計算値	100
8.4	新たな PDD 構造での電位分布のシミュレーション	101
8.5	バックバイアス電圧と空乏層及び最大電場強度の関係	102
8.6	周辺回路部で電場シミュレーションを行った結果	104
8.7	ダミーピクセル周りで電場シミュレーションを行った結果	104
A. 1	周辺読み出し回路の動作・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	108
A 2	ピクセルトリガー回路の動作	110

表目次

1.1	FORCE 衛星搭載の検出器に求められる性能	7
2.2	X線と物質のそれぞれの相互作用の起こりやすさイメージセンサーの種類と構成要素主な X線天文衛星に搭載されている CCD 検出器の特徴一覧	19
4.1	FORCE 衛星搭載のために求められる性能と XRPIX で達成している性能の 比較	46
5.1	XRPIX6bD の仕様	52
6.1	XRPIX6E の仕様	74
7.1	SOIPIX-PDD と XRPIX6E の主な違い	92

第1章 次世代広帯域X線撮像分光器 の開発

1.1 超巨大質量ブラックホール進化の解明

近年の研究で、ほぼ全ての銀河中心には、太陽質量の 10⁶ 倍を超える超巨大質量ブラックホール (Supermassive Black Hole, SMBH) が普遍的に存在し、さらにその質量は銀河バルジの質量と強く相関していることが判明した (図 1.1)¹ [1]。この事実は、SMBH と銀河が密接に関係しながら、共に進化してきたことを強く示唆している。これを銀河と SMBH の「共進化」と呼んでいる。SMBH とその母銀河は大きさが 10 桁²も異なるにも関わらず、両者が相関している事は、非常に不思議である。そのため SMBH がどのように形成されてきたか探ることは、銀河進化ひいては宇宙形成史の解明に不可欠だと言える。

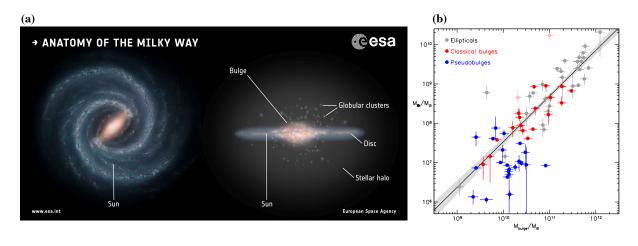


図 1.1: (a) 銀河の模式図 [2]。中心に見える膨らみをもったオレンジ色の部分が銀河バルジである。(b) 銀河バルジの質量 $M_{\rm bulge}$ と SMBH の質量 M_{\bullet} の関係図 [3]。両軸共に太陽質量 M_{\odot} で規格化している。

1.1.1 活動銀河核の概要

活動銀河核 (Active Galactic Nuclei, AGN) とは、銀河中心の非常に狭い領域から銀河全体の明るさに匹敵するエネルギーを放射する天体である。AGN から放射される莫大なエネルギーは、核の中心に存在する SMBH へ周囲の物質が落ち込む際に、重力エネルギー

¹その相関は、我々が住んでいる天の川銀河にも当てはまる。

²サイズ比は、銀河が地球程度の大きさだとすると、SMBH は砂粒程度に相当。

を解放することで生まれると考えられている。つまり AGN は、ブラックホールが質量降着でまさに成長している現場であり、SMBH と銀河の共進化の解明の鍵を握ると考えられる。

AGN の進化を議論する際によく用いられるのが光度関数である。光度関数とは、単位体積あたりに存在する天体の数を、光度と赤方偏移パラメータで表したものである。図 1.2 に、10 keV 以下の観測で得られた、AGN の個数密度を X 線光度 L_X 毎にプロットしたものを示す。この結果から AGN の光度 L_X が大きいほど、赤方偏移 Z が大きな値で個数密度のピークが来ることが分かる。これは明るい AGN ほど、つまり質量の大きな SMBH ほど宇宙初期に生成されたことを意味する。この現象は「ダウンサイジング」と呼ばれ、小さい天体が合体してより大きな天体へ成長する、という描像と真逆であることを示唆している。

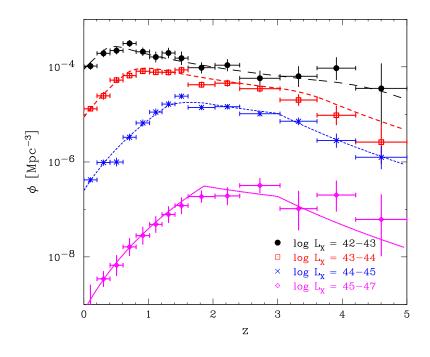


図 1.2: 2–10 keV バンドでの AGN の空間数密度の赤方偏移依存性 [4]。縦軸に AGN の空間数密度 ϕ 、横軸に赤方偏移 z を取っている。

1.1.2 埋もれた活動銀河核

図 1.2 は 10 keV 以下の観測で得られた結果であった。10 keV 以下の軟 X 線帯域では吸収を受けやすいため、周辺に物質が少ない「埋もれていない状態」の AGN を選択的に観測していると考えられる。しかし、SMBH が濃い周辺物質に深く「埋もれた状態」で急成長していることも、当然考えられる 3 。実際、宇宙に存在する全ての SMBH からの X 線放射の総和である宇宙 X 線背景放射 (Cosmic X-ray Background, CXB) は、透過力が強く

³埋もれた AGN は実際に検出されている [5]。

吸収を受けづらい硬X線帯域に強度ピークを持つ(図 1.3)。埋もれた AGN を観測した結果も加えると、図 1.2 の傾向が変わる可能性は十分ありうる。

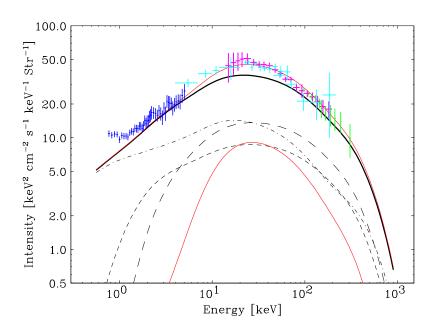


図 1.3: 宇宙 X 線背景放射のスペクトル (データ点) と、最新の種族合成モデル [4]。 ~ 30 keV に強度ピークを持つ。黒破線: 埋もれていない AGN の種族合成モデル。黒線: 黒破線のモデルの総和。下部赤線: 埋もれた AGN の種族合成モデル。上部赤線: 全てのモデルの総和。

従って、埋もれた AGN も含めた光度関数を決定するため 10 keV 以上の硬 X 線帯域での観測が必要である。またそれに加え、AGN を見つけ出すだけの感度も必要である。しかしながら、現状の硬 X 線帯域の観測装置の感度では、埋もれた AGN の観測に不十分である。現在稼働中の X 線天文衛星で、硬 X 線帯域において最も感度が高いのが NuSTAR である。NuSTAR 衛星は 3–79 keV の帯域をカバーし、その感度は $\sim 4 \times 10^{-14}$ erg cm $^{-2}$ s $^{-1}$ (10–40 keV) に達する。しかし NuSTAR 衛星でも、CXB の 30% 程度を点源として分解できるレベルに留まっている (図 1.4)。つまり、SMBH の進化を解き明かす光度関数を決定するには、硬 X 線帯域で高感度な新たな X 線天文衛星が必要である。

1.2 次世代広帯域撮像分光 X 線天文衛星「FORCE」

我々は、2020年代の打ち上げを目指した次世代 X 線天文衛星「FORCE」計画を推進している。FORCE 衛星は、「宇宙のあらゆる階層において未だ見つかっていないミッシングブラックホールを探査し、宇宙形成史を解明すること」を科学目的にあげており、その中でも特に、銀河中心に存在する巨大ブラックホールとその母銀河の共進化の解明を主目的に掲げている [6]。本節では FORCE 衛星の概要及び科学目標から導かれる要求性能に関して述べる。

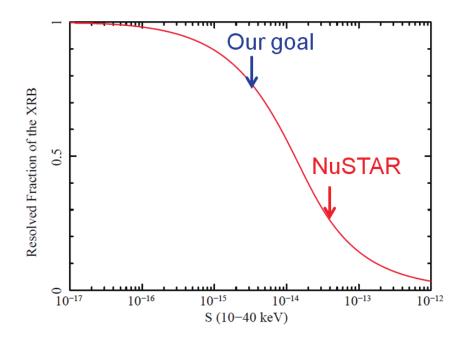


図 1.4: 10-40 keV バンドで CXB 強度を点源として分解できる割合を、検出感度の関数で表した図 [6]。*NuSTAR* の到達感度と、この後に述べる FORCE 衛星での目標感度 (Our goal) を併せてプロットしている。

1.2.1 FORCE 衛星の科学目標と特徴

FORCE 衛星の科学目標は、埋もれた AGN も含めた光度関数を決定し、AGN のダウンサイジング進化の有無を明らかにすることである。図 1.3 で示したように、一般的にブラックホールは、広いエネルギー帯域で X 線の放射が見られる。埋もれた AGN の場合、硬 X 線帯域では吸収の少ない放射が見られるが、軟 X 線帯域では吸収の多い放射が見られるばずである。そのため、埋もれた AGN かどうかを精度良く判別するには、広帯域での観測が必要となる。

また高い感度を実現するために、非 X 線バックグラウンド (Non X-ray Background, NXB) と対象天体以外からやってくる X 線バックグラウンドを両方とも下げる必要がある。 NXB に関しては、節 1.3.2 で述べる。対象天体以外からやってくる X 線バックグラウンドに関しては、衛星の角度分解能を上げることで、対象天体とそれ以外の天体とを空間的に分離すればよい。

これらの要求から FORCE 衛星では、1-80 keV の広帯域で < 15'' (Half Power Diameter: HPD) の高角度分解能の実現を目指す。10 keV 以上の帯域では $\sim 3 \times 10^{-15}$ erg cm $^{-2}$ s $^{-1}$ の 感度を目指しており、これにより現在の最高性能を持つ NuSTAR 衛星と比べ 5 倍高い角度分解能と、1 桁高い検出感度を達成できる。

1.3 FORCE 衛星の概要

FORCE 衛星の外観を図 1.5 に示す。大きな特徴として FORCE 衛星では、高角度分解能と大きな有効面積 (30 keV で 370 cm²) を得るために、多層膜スーパーミラーを 3 台搭載す

Cosmic Evolution satellite Wideband Hybrid

Focusing On Relativistic universe and

図 1.5: 次世代広帯域撮像分光 X 線天文衛星 FORCE の概要。

X-ray Super-mirror

る。また広帯域 X 線撮像分光器として、Wideband Hybrid X-ray Imager (WHXI) を搭載す る。今回は本修論のテーマに関係する、WHXIを詳細に説明する。

1.3.1 広帯域を観測できるハイブリッド検出器

X-ray Imager

1-80 keV の観測を行う FORCE 衛星搭載用検出器として、我々はハイブリッド検出器 WHXI(図 1.6)の搭載を考えている。この検出器の特徴は、広帯域での撮像分光を可能に 出来るように、軟 X 線 (≤ 20 keV) をターゲットにした Si 検出器と硬 X 線 (≥ 20 keV) を ターゲットとした CdTe 検出器のハイブリッド構造を持つ点である。Si 検出器を硬 X 線に 対し「透過型」として用いる事で、コンパクトな検出器素子で広い帯域をカバーすること ができる。このハイブリッド検出器の形式は、ひとみ衛星の硬X線検出器HXIによって 確立された日本独自の概念である。

1.3.2 10 keV 以上の高エネルギー帯域観測

広帯域撮像分光器として、軟 X 線用の Si 検出器と硬 X 線用の CdTe 検出器のハイブリッ ド構造を持つ WHXI の搭載を検討していることを述べた。では、それぞれ具体的にどの ような検出器を用いれば良いだろうか。現行のX線天文衛星で、軟X線帯域の観測に用 いられている主力検出器は CCD (Charge Coupled Device) である⁴。Fano リミットに迫る

⁴CCD 検出器の詳細は節 2.3.3 で述べる。

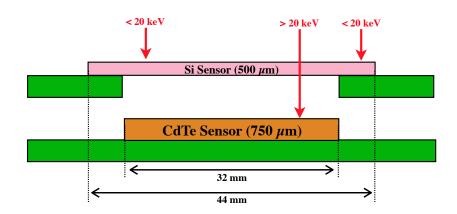


図 1.6: Si 検出器と CdTe 検出器のハイブリッド構造の概念図。

エネルギー分解能を持ち、尚且つピクセルサイズを $20~\mu m \times 20~\mu m$ 程度と小さくできるため、精密分光・高い位置分解能が求められる衛星の検出器によく用いられている。しかし、CCD 検出器は FORCE 衛星搭載用の検出器としては適していない。図 1.7 に CCD 検出器で取得したバックグラウンドのスペクトルを示す。10~keV 以上の帯域で、バックグラウンドが非常に高くなっている。これは 10~keV 以上の帯域では、宇宙線と呼ばれる高エネルギー荷電粒子やガンマ線が望遠鏡の視野外から入射してしまい、非 X 線バックグラウンド (NXB) が高くなるためである。この問題を解決しなければ、高エネルギー帯域で S/N 比の良い観測は望めない。

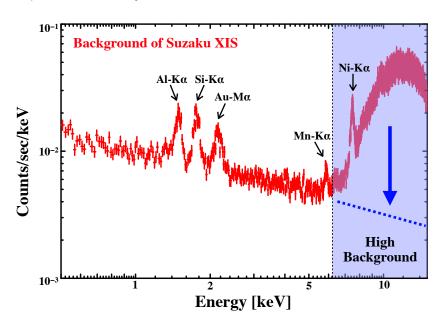


図 1.7: すざく衛星に搭載している X 線 CCD (XIS) で取得した NXB のスペクトル。スペクトル内に見られる輝線は検出器や筐体由来のバックグラウンドである (例えば、Al-Kαは筐体及び CCD に蒸着してある遮光用の Al から生じている)。NXB が 6 keV 以上の帯域で特に強いことがわかる。反同時計数法を採用することで、高エネルギー帯域のバックグラウンドを青破線のように下げられることが期待できる。

我々は 10 keV 以上の帯域で顕著になる NXB に対して、ハイブリッド検出器の周りをアクティブシールドで囲み、「反同時計数法」を行うことで対応しようと考えている。図 1.8(a) に反同時計数法を用いた NXB 除去の概念図を示した。視野外から入射してくる宇宙線は、原理的には検出器の周りを鉛などのシールド (パッシブシールド) で取り囲むことで止めることが可能である。しかし、全ての放射線を止めようとすると現実的でない厚みが必要となり、衛星での運用は不可能である。そこで宇宙線を「止める」ではなく「検知する」ことを目的とした、アクティブシールドを用いる。シールドを通過した放射線イベントが検出器に到達した場合、アクティブシールドと検出器共にイベントが見られるため、そうしたイベントは信号読み出しを行わないことで NXB の低減が可能となる。我々はアクティブシールドとして、BGO シンチレータを想定している。衛星軌道上ではアクティブシールドは~10 kHz で反応すると考えられているので、反同時計数法を行う検出器には宇宙線の到来頻度よりも十分早い 10 μs 程度もしくはそれ以上の時間分解能が求められる。しかし、CCD 検出器は電荷転送して信号を読み出す都合上、時間分解能が数秒と悪い。従って反同時計数法に CCD 検出器は用いることは出来ない。

1.3.3 FORCE 衛星搭載の検出器に求められる性能

反同時計数法を用いるためには、検出器に $10 \mu s$ 以上の時間分解能が必要である。FORCE 衛星に搭載する検出器に求められる性能を表 1.1 にまとめた。表中にある要求性能値は必ず実現しなければならない値、ゴール性能値はできる限り達成したいが、必須ではない値を表している。

項目	要求性能值	ゴール性能値	
エネルギー帯域	1–80 keV	0.5–80 keV	
ピクセルサイズ	$200 \mu \mathrm{m}$	$36 \mu \mathrm{m}$	
イメージングエリア	$20 \text{ mm} \times 20 \text{ mm}$	$44 \text{ mm} \times 44 \text{ mm}$	
分光性能	300 eV (FWHM at 6 keV)	140 eV (FWHM at 6 keV)	
時間分解能	10 μs		

表 1.1: FORCE 衛星搭載の検出器に求められる性能。

反同時計数法を用いるにあたって必要なものは、軟X線用の検出器 (Si 検出器)、硬X線用の検出器 (CdTe 検出器)、アクティブシールドの3点である。このうち、CdTe 検出器 およびアクティブシールドは、ひとみ衛星において開発済みである。最後の課題は、軟X線帯域で用いられる Si 検出器である。FORCE 衛星に搭載する軟X線帯域用の検出器で特に要求される性能は以下の3点である。

(i) 1-20 keV 帯域で撮像分光が可能

銀河全体の放射から埋もれた AGN の透過成分を検出するため

(ii) 優れた分光性能 (6 keV で FWHM 300 eV 以下)

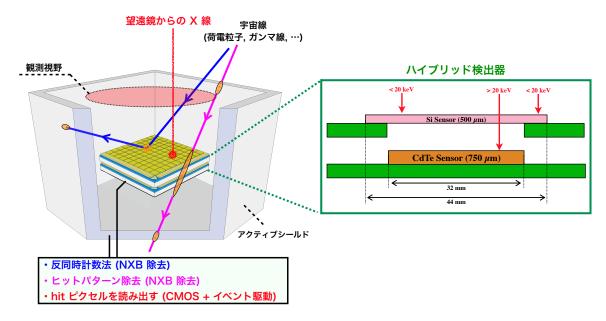
ブラックホールと他の天体(白色矮星など)とをスペクトルで区別するため

(iii) 反同時計数法を用いることが出来る時間分解能 ($\leq 10 \mu s$)

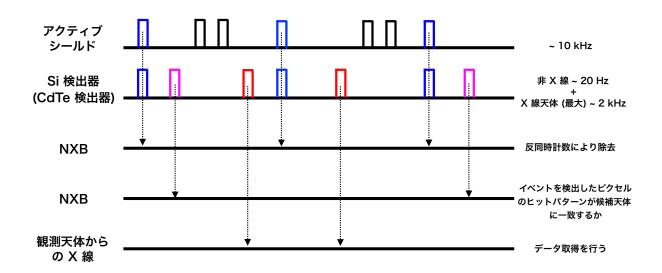
アクティブシールドとの反同時計数を実現し、低バックグラウンドを実現するため

しかし、これら全てを満たす既存の検出器は存在しない。例えば現在主力の CCD 検出器は、時間分解能が数秒と悪いため (iii) を満たすことが出来ない。またヨーロッパで開発中の最新の検出器 DEPFET (節 2.4.1) も時間分解能は数 ms と (iii) を満たせない。

そこで我々は次世代 X線天文用検出器「XRPIX」の開発を行なっている。XRPIX は Silicon On Insulator (SOI) 技術を用いた日本独自の CMOS イメージセンサーである。XRPIX 最大の特徴は「イベント駆動読み出し」で、X線がヒットしたタイミングでヒットしたピクセルのみを読み出すことが可能である。このイベント駆動読み出しにより数 10 ns – 数 μs [7] という時間分解能が実現でき、X線 CCD に対して 5 桁、最新の DEPFET に対しても 3 桁以上、時間分解能を向上できる。



(a) 反同時計数法の概念図。



(b) 反同時計数法のタイミングダイアグラム。

図 1.8: 反同時計数法を用いた NXB 除去の概念図。

第2章 X線天文と半導体検出器

2.1 X線天文と観測方法

はるか昔から、人々は移りゆく季節を予測するため、あるいは夜空にきらめく星々への 興味に突き動かされ、天体の観測を行ってきた。その歴史は古く、紀元前からすでに可視 光を用いた観測が行われていた。今日では可視光だけでなく図 2.1 に示すように、電波、 赤外線、X 線、ガンマ線など様々な種類の電磁波を使って観測がなされている。

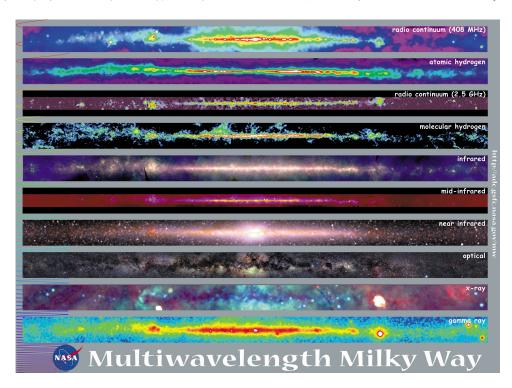


図 2.1: 様々な波長で観測した天の川銀河 [8]。

本節では、我々が観測に用いているX線に焦点を当て述べていく。

2.1.1 宇宙 X 線観測の方法

可視光や電波とは違い、X線は地球の大気を透過することができない (図 2.2)。そのため X線を用いて宇宙を観測するには、観測ロケットや衛星などを使って大気の外に観測装置を運ぶ必要がある。1962年に B. Rossi と R. Giacconi らのロケット実験によって太陽系外からの X線を初めて検出したのを皮切りに、X線天文学は、宇宙の多くの天体が X

線を放出していること、1千万度や1億度の超高温ガスが存在することなど、多くの知られざる宇宙の姿を明らかにし、天文学・宇宙物理学の重要な一分野になった。宇宙 X 線 観測は、初期の頃は主に観測ロケットにて行われていたが、1970年に打ち上げられた世界で最初の X 線天文衛星 UHURU により長時間の観測が可能になると、観測時間が短時間に限られる観測ロケットに代わり X 線天文衛星は X 線観測の主力となった [9]。

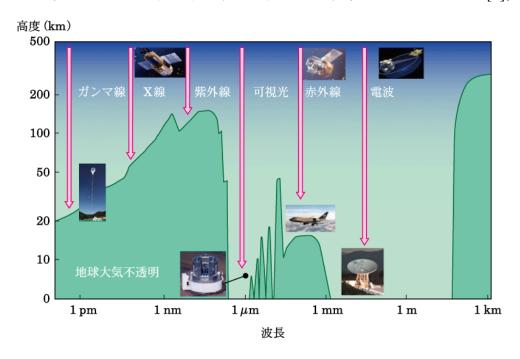


図 2.2: さまざまな電磁波に対する地球大気の透過率と観測手段 [10]。

2.1.2 X線と物質の相互作用

X線と物質の相互作用には光電吸収・コンプトン散乱・電子-陽電子対生成が存在する。 以下で各反応過程の基本的な性質について説明する。

光電吸収 (Photoabsorption)

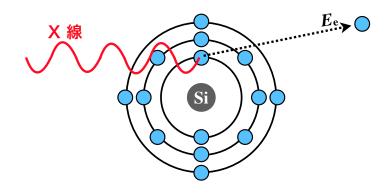


図 2.3: 光電吸収の模式図。原子状シリコンを想定している。

原子核の周りに束縛されている電子が入射光子 (X 線)を吸収し、軌道電子が放出される過程を光電吸収と呼ぶ (図 2.3)。例えば、エネルギーhv の光子が入射した場合、放出される電子のエネルギー E_e は

$$E_e = h\nu - W \tag{2.1}$$

と書ける(ただし、Wは電子の結合エネルギーである)。

この時、放出され空いた電子の軌道には、別の軌道から電子が落下して来る。その際に、準位差に応じた X線 (特性 X線)、もしくはそのエネルギーを受け取った外殻の電子(オージェ電子)が放出される。その内、特性 X線が放出される確率を蛍光収率と呼び、Siの K 殻電子がはじき出された場合の蛍光収率は 0.047 である。そのため多くの場合はオージェ電子が放出される。光電吸収によって生じた電子 (オージェ電子も含む) は、運動エネルギーを周囲の原子に与え、電子・正孔対を生成する。その際、発生する電荷の個数はエネルギーに比例する¹。この電荷を収集すれば、間接的に入射 X線 (X線のエネルギー)を検出できる。特性 X線が生じた場合、その X線が再度吸収を受ければ、上記と同一の過程をたどり全エネルギーを検出できるが、反応せずに検出器外へ逃げ出してしまうことも当然ありうる。その際は、特性 X線のエネルギー分を差し引いたエネルギーしか検出できないことになる。そのようなイベントで形成されたエネルギーピークは、エスケープピークと呼ばれる。

コンプトン散乱 (Compton Scattering)

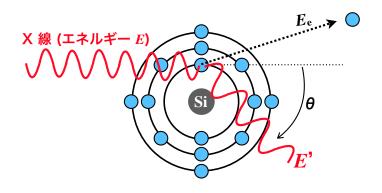


図 2.4: コンプトン散乱の模式図。原子状シリコンを想定している。

コンプトン散乱は高エネルギー光子と電子の非弾性散乱である (図 2.4)。入射光子が電子の結合エネルギーよりも十分大きなエネルギーを持つ場合、原子核周りの電子は自由電子とみなせるようになり、散乱による相互作用が支配的となる。例えば、静止した電子にエネルギーEの光子が入射し、角度 θ の方向に散乱される場合を考える。エネルギーと運動量の保存則から、散乱後の光子のエネルギーE'と弾き出された電子(反跳電子)のエネルギー E_e はそれぞれ、

$$E' = \frac{E}{1 + \frac{E}{m_0 c^2} (1 - \cos \theta)}$$
 (2.2)

 $^{^1}$ 例えば Si 半導体検出器では、Si の平均電離エネルギーである 3.65 eV あたり電子・正孔対が一対生成される。

$$E_{\rm e} = E - E' = \frac{\frac{E}{m_0 c^2} (1 - \cos \theta)}{1 + \frac{E}{m_0 c^2} (1 - \cos \theta)} E$$
 (2.3)

と表せる。

電子-陽電子対生成 (Pair Creation)

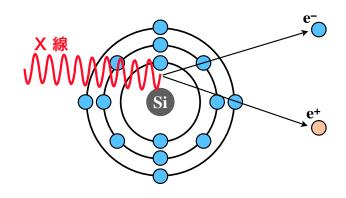


図 2.5: 電子-陽電子対生成の模式図。原子状シリコンを想定している。

電子-陽電子対生成とは、X線が原子核のクーロン場中で相互作用して電子-陽電子対が生成される現象である (図 2.5)。この反応が生じるためには、X線のエネルギーが電子と陽電子の静止質量エネルギーの総和である 1.022 MeV を超える必要がある。生成された電子と陽電子には、入射 X線のエネルギーから 1.022 MeV を差し引いたエネルギーが運動エネルギーとして分配される。

以上の3反応のうち、どの反応が支配的になるかは、入射光子のエネルギーとターゲットによって決まる。それぞれの反応の物質依存性及び主な発生帯域を表 2.1、中でも Si に対する相互作用の反応断面積を図 2.6 に示す。

相互作用	物質依存性	主な帯域
光電吸収	Z^{4-5}	-0.1 MeV
コンプトン散乱	Z	0.1–10 MeV

 Z^2

10 MeV-

電子-陽電子対生成

表 2.1: X線と物質のそれぞれの相互作用の起こりやすさ。

2.2 半導体検出器の基礎

節 2.1.2 で述べた反応を利用した検出器は多数存在するが、我々が開発している「XRPIX」は半導体検出器であるので、本節では半導体検出器の説明を行う(参考文献 [11, 12, 13])。

半導体とは、導体と絶縁体の中間の電気伝導率を持つ物質である。半導体の電気伝導率は、温度、光、不純物等に非常に敏感で、この特徴を活かすことで半導体は近年のエレク

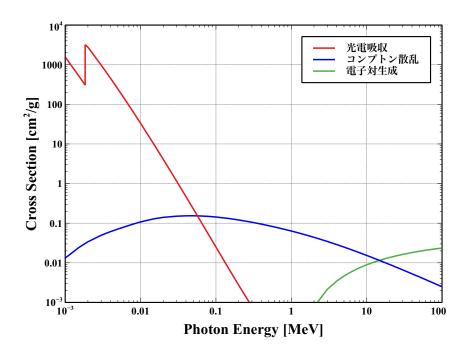


図 2.6: Si に対する光子の反応断面積。

トロニクスで重要な位置を占めるようになった。例えば Si など 4 価の半導体結晶に、不純物として 5 価の元素 (例えば、リン)をドープすると、5 個の価電子のうち 4 個は Si 原子と共有結合を形成するが、残り 1 個は原子間の結合に用いられず余る。余った電子は自由電子のような振る舞いを見せ、このような半導体は n 型半導体と呼ばれる。3 価の元素 (例えば、ホウ素)をドープした場合は、ホールが余り、そのような半導体は p 型半導体と呼ばれる。この n 型半導体と p 型半導体を接続した構造 (pn 接合)が、半導体検出器の基本となる。

2.2.1 pn 接合とバンド図

p型半導体とn型半導体を接続した状態を考える²(図 2.7)。p型半導体とn型半導体を接

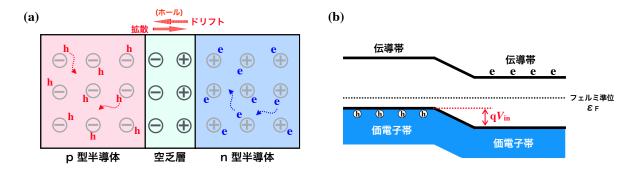


図 2.7: pn 接合のイメージとエネルギーバンド図。

 $^{^2}$ 別々に作られた p 型と n 型をはり合わせて pn 接合を形成することは、実際には行われない。 正確には、例えば p 型半導体の一部にリン等の不純物を拡散して,n 型に反転させることにより作られている。

合した場合、電荷キャリアは接合面を通して移動する事ができる。p型半導体はホールが、n型半導体は電子濃度が高いため、各々濃度の低い方へと拡散される。拡散されたキャリアは、のちに再結合によって相殺される。一方、ドープされ共有結合を形成していたアクセプタイオンは移動せずにそのまま残る。これはアクセプタイオンが結晶格子に固定されているからで、電気的に中性であったイオンから仮にプラス電荷のホールが抜け出した場合、アクセプタイオンは負の電荷を帯びることになる。つまり、p型半導体はマイナス、n型半導体はプラスの空間電荷が形成される。すると、この空間電荷により、拡散とは逆向きに電荷をドリフトさせる新たな電場が形成され、拡散を抑制するような働きをする。最終的に拡散と電場によるドリフトがつり合った平衡状態となる。この時、接合面に生じている電位差をビルトインポテンシャル V_{in} 、接合部に形成されたキャリアが存在しない領域を空乏層 (Depletion layer) と呼ぶ。

ここで、半導体物理の概念を理解するために重要 (便利) な表式である「エネルギーバンド図」を導入する。pn 接合でのエネルギーバンド図を図 2.7 (b) に示した。図 2.7 のエネルギーバンド図では、電子を基準に考えた際のポテンシャルエネルギーを縦軸にとっている。ドープした不純物によって、p型半導体では価電子帯にホールが、n型半導体では伝導帯に電子が発生する。図中にあるフェルミ準位は、熱平衡状態において電子の存在確率が 1/2 になるエネルギーのことである。フェルミ準位がバンド図のどこに位置しているかによって、電荷の流入が起こる・起こらない等の物理現象が異なってくるため、特に重要なパラメータだと言える。

2.2.2 空乏層厚とバックバイアス電圧

空乏層内で電荷が発生した場合、その電荷は空乏層に印加されている電圧によってドリフトする。その電荷を収集できれば、発生した元の電荷量が見積もれる。つまり、空乏層は放射線の検出領域として利用することができる。

検出器として効率的に利用するには、空乏層を広げること、そして電荷を高速でドリフトさせるための強い電場が必要である。そのため、実際に半導体を放射線検出器として用いる時は、p型半導体にマイナス電圧、n型半導体にプラス電圧 (バックバイアス電圧) を印加して使用する。外部からバックバイアス電圧 V_b を印加すると、接合面のポテンシャル差は $V_{in} + V_b$ とさらに大きくなり、空乏層も広がる (図 2.8)。

空乏層厚は計算によって求めることが出来る。空乏層にはキャリアがゼロ 3 で、印加電圧が全て空乏領域にかかっているという理想的な場合を考える。アクセプタ濃度を N_A 、ドナー濃度を N_D とすると、p型、n型 Si 半導体それぞれの空乏層厚 D_p , D_n は、

$$D_{\rm p} = \sqrt{\frac{2\varepsilon_{\rm Si}(V_{\rm b} + V_{\rm in})}{eN_{\rm A}(1 + N_{\rm A}/N_{\rm D})}}, \quad D_{\rm n} = \sqrt{\frac{2\varepsilon_{\rm Si}(V_{\rm b} + V_{\rm in})}{eN_{\rm D}(1 + N_{\rm D}/N_{\rm A})}}$$
(2.4)

と書ける。 $\varepsilon_{\rm Si}$ は Si の誘電率 (= 1.04×10^{-12} F/cm)、e は電気素量 (= 1.6×10^{-19} C) を表している。

³実際は、空乏層にキャリアが全く無いわけではなく、ある程度の電子や正孔は存在している。ただし、これらキャリア密度はアクセプタ濃度やドナー濃度に比べ桁違いに小さいので、近似的には無視できると考えて良い。

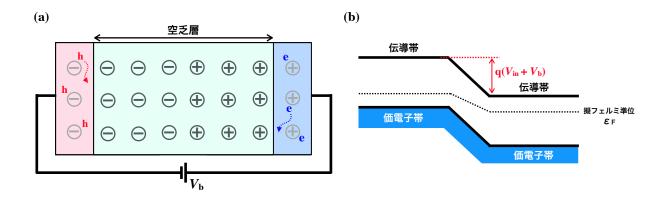


図 2.8: バックバイアス電圧を印加した時の pn 接合のイメージとエネルギーバンド図。

実際の検出器ではよく、ドナー濃度とアクセプタ濃度が大きく異なった状態で用いられている。本修論で扱う XRPIX (XRPIX6bD, XRPIX6E) では、低濃度の p 型半導体 (基板) に高濃度の n 型半導体 (読み出しノード) を接合している。つまり、 $N_D\gg N_A$ の条件で使用している。この場合、空乏層は式 2.4 より、主に p 型側に広がる。 p 型半導体の比抵抗 $\rho_D=1/e\mu_DN_A$ を用いて $N_D\gg N_A$ の条件下での空乏層厚を表すと

$$D = D_{\rm p} + D_{\rm n} \simeq D_{\rm p} \simeq \sqrt{\frac{2\varepsilon_{\rm Si}(V_{\rm b} + V_{\rm in})}{eN_{\rm A}}} = \sqrt{2\varepsilon_{\rm Si}\mu_{\rm h}\rho_{\rm p}(V_{\rm b} + V_{\rm in})}$$
(2.5)

となり、バックバイアス電圧 $V_{\rm b}$ と比抵抗 $\rho_{\rm p}$ の平方根に比例することがわかる。 $\mu_{\rm h}$ はホールの移動度を表し、Si では $\mu_{\rm h}=0.5\times10^3~{\rm cm}^2~{\rm s}^{-1}~{\rm V}^{-1}$ である 4 。

バックバイアス電圧を印加した時のエネルギーバンド図を、図 2.8 (b) に示した。元々フェルミ準位とは、熱平衡状態にある半導体で定義された概念である。そのため、外部から電圧を印加されているような非平衡状態では、フェルミ準位を用いることは出来ない。しかし、平衡状態でのフェルミ準位という指標が便利なように、非平衡状態でも同様の指標があると便利である。そこで非平衡状態では、フェルミ準位と同様の概念を持つ擬フェルミ準位が用いられる。

2.2.3 キャリアの輸送

空乏層内で生じた電荷は、電場によるドリフト及びキャリア濃度勾配による拡散の影響を受けながら運動する。本修論で述べる XRPIX (XRPIX6bD, XRPIX6E) は電子収集型であるので、以下では電子の運動に関して述べていく。

ドリフト

電場E中に存在する電子は-eEの力を受け、衝突するまで加速される。この電場による速度成分をドリフト速度と呼ぶ。p型半導体に厚み x_d の空乏層が形成されている状態を

 $^{^4}$ Si 中の電子の移動度は $\mu_{\rm e}=1.5\times 10^3~{
m cm}^2~{
m s}^{-1}~{
m V}^{-1}$ で、ホール移動度の約 3 倍ある。

考える。空乏層表面から深さxの位置における電場の強さE(x)は、ポアソン方程式より

$$E(x) = \frac{eN_A}{\varepsilon_{Si}}(x - x_d)$$
 (2.6)

と表せる。そのため、深さxの位置に存在する電子は、

$$-eE(x) = -\frac{e^2 N_{\rm A}}{\varepsilon_{\rm Si}} (x - x_d)$$
 (2.7)

の力を受け、電場に沿って移動する。加速された電子は、いずれ格子原子などの粒子と衝突する。この時、電子は直前まで持っていた運動量を全て粒子に渡し、自身の運動量はゼロになる。衝突から次の衝突までの平均時間 (平均緩和時間) を τ_c とすると、電子の平均ドリフト速度 $\bar{\nu}$ は電子の有効質量 m_n を用いて

$$\bar{v} = \frac{eE(x)\tau_{c}}{m_{n}} \equiv \mu_{n}E(x)$$
 (2.8)

と書ける。式 2.8 より、電子のドリフト速度は電場に比例することがわかる。この電場に対するドリフト速度の比例係数 μ_n を電子移動度と呼ぶ。以上を元に、深さ x で発生した電子が読み出しノード (x=0) に到達するまでに要する時間を求めると

$$t = \frac{\varepsilon_{\rm Si}}{\mu_{\rm n} e N_{\rm A}} \ln \frac{x_d}{x_d - x} \tag{2.9}$$

となる。

熱拡散

空乏層内で電子雲が発生すると、その部分では周りに比べ局所的に電子密度が過剰になる。この時、電子は密度の濃い所から薄いところへ、熱運動で拡散する。この過程は拡散方程式に従っており、電子の密度を ρ とすると

$$\frac{d\rho}{dt} = D_{\rm n}\Delta\rho \tag{2.10}$$

と書ける。係数Dnはアインシュタインの関係式より

$$D_{\rm n} = \frac{k_{\rm B}T}{\rho}\mu_{\rm n} \tag{2.11}$$

と表せ、半導体中のキャリアのドリフトと拡散を関係付ける重要な係数である。式中の k_B はボルツマン定数である。拡散が球対象に広がると仮定した場合、x 軸に垂直な面で式 2.10 を解くと、電荷密度は

$$\rho = \frac{1}{\sqrt{(4\pi D_{\rm n}t)^3}} \exp\left(-\frac{r^2}{4D_{\rm n}t}\right) \tag{2.12}$$

とガウス分布になる。r は x 軸に垂直な面内の電荷を中心とした時の動径方向の距離である。電子雲の広がりを式 2.12 の標準偏差 σ で表すとすると、読み出しノードに到達するまでに電子雲は拡散によって

$$\sigma = \sqrt{2D_{\rm n}t} = \sqrt{2D_{\rm n}\frac{\varepsilon_{\rm Si}}{\mu_{\rm n}eN_{\rm A}}\ln\frac{x_d}{x_d - x}}$$
 (2.13)

だけ広がる。

2.2.4 エネルギー分解能

空乏層内で生じた電荷は上記の過程を経て、読み出しノードで収集される。収集された電荷から入射 X 線のエネルギー(E) を見積もることができるが、重要なのは、どれだけの精度で入射 X 線のエネルギーを判定出来るかである。このエネルギーに関する精度の指標をエネルギー分解能と呼び、よく半値幅 (Full Width at Half Maximum, FWHM) を用いて表される。

電荷数を測定して放射線のエネルギーを判定する検出器のエネルギー分解能は、原理的には生成された電荷数の統計的な揺らぎ、及び読み出し回路等で決まるノイズ σ_R [e⁻] (Root Mean Square, RMS) によって決まる。エネルギー分解能の理論式は、

$$\Delta E_{\rm FWHM} = 2\sqrt{2\ln 2} W \sqrt{F\frac{E}{W} + \sigma_{\rm R}^2}$$
 (2.14)

で与えられる。ここでW は平均電離エネルギー(Si では $W \sim 3.65$ eV)、F はポアソン統計からのずれを表す Fano 因子(Si では $F \sim 0.1$) である。

 σ_R を小さくすれば、当然分解能も良くなるが、 σ_R 以外にWの値も分解能には重要である。式 2.14 よりWの値は小さい方が望ましい。一般的に半導体検出器はガス検出器に比べ、平均電離エネルギーが小さいため 5 、高いエネルギー分解能を実現できる。

2.2.5 量子効率

検出器に入射した X 線全てが空乏層内で反応するわけではなく、実際には一部の X 線は反応せずに透過する。入射した X 線のうち、イベントとして検出できた割合を量子効率 (Quantum Efficiency, QE) と呼ぶ。空乏層で反応した X 線を漏れなくイベントとして読み出せるという理想的な状態を考えた場合、量子効率 QE は

QE =
$$\exp\left(-\int \frac{1}{\mu_{\text{dead}}(E, l)} dl\right) \times \left[1 - \exp\left(-\frac{D}{\mu_{\text{Si}}(E)}\right)\right]$$
 (2.15)

と書ける。D は空乏層厚、 μ_{dead} は空乏層に至るまでの不感層における減衰長、l は空乏層に至るまでに X 線がたどった軌跡の長さ、 μ_{Si} は Si 空乏層における減衰長を表している。各 X 線エネルギーにおける量子効率は、低エネルギー帯域では不感層の厚み、高エネルギー帯域では空乏層厚に主に依存する。

 $^{^{5}}$ Ar ガスだと $W \sim 26.4 \text{ eV}$ 、He ガスだと $W \sim 41.3 \text{ eV}$ である。

2.3 イメージセンサーの基礎

イメージセンサーには少なくとも、(1)放射線を検出できるセンサー部、(2)信号電荷を読み出す回路部、が必要である。(1)のセンサー部には、節 2.2 で述べたように、pn 接合型半導体の空乏層を用いることが出来る。一方の(2)にあたる読み出し方法には、歴史的に多くの方式が提案されている。その中でも特に、CCD型、MOS型、CMOS型の3方式が代表的である。CCD型と MOS・CMOS型の主な違いは、CCDでは信号電荷を出力回路までバケツリレーで転送して読み出すのに対し、MOS・CMOSでは画素毎に読み出し回路を配置しているため、画素毎の信号読み出しが可能な点である。本節では MOSFETに関して述べた後、CCDセンサー・MOSセンサー・CMOSセンサーの基礎に関してそれぞれ述べる(参考文献[14,15])。

センサー部 イメージセンサー 走査部 電荷増幅 出力部に共通のアンプを設置 CCDセンサー pn 接合型 CCD (電荷結合素子) MOSセンサー pn 接合型 MOSFET スイッチ 画素外に共通のアンプを設置 CMOSセンサー pn 接合型 MOSFET スイッチ 画素毎にアンプを設置

表 2.2: イメージセンサーの種類と構成要素。

2.3.1 MOSFET

MOSFET は金属 (Metal)、酸化物 (Oxide)、半導体 (Semiconductor) から構成される電界効果トランジスタ (Field Effect Transistor) の一種である。MOSFET の模式図を図 2.9 に示した。MOSFET は電流に寄与するキャリアの違いによって、NMOS (N-channel MOS)、PMOS (P-channel MOS) の 2 種類に分けられる。

MOSFET の重要な動作は、ゲート酸化膜直下で生じる。例えば NMOS の場合、ゲートに正の電圧を加えていくと、p型基板のキャリアであるホールが下方に追いやられ、キャリアが存在しない空乏層が形成される(この状態を、弱反転状態と呼ぶ)。さらにゲート電圧を上げると、図 2.9 (b) のように電子がゲート酸化膜直下に誘起され、表面が n 型のように振る舞うことになる。この状態では、ソースとドレイン間が n 型で繋がっているため、電流が流れる(強反転状態と呼ばれる) 6。つまり、ゲート電極の電位を変化させることで、ソースとドレイン間に流れる電流を制御することが出来る。この性質を利用すれば、MOSFET をスイッチの ON、OFF として用いることも可能である。以下で、それぞれの状態における電流電圧特性を確認する。

⁶MOSFET は対象な構造をしているため、ソースとドレインは見た目では判別することは出来ない。キャリアの供給口が Source で、排出口が Drain という定義からそれぞれ決められる。

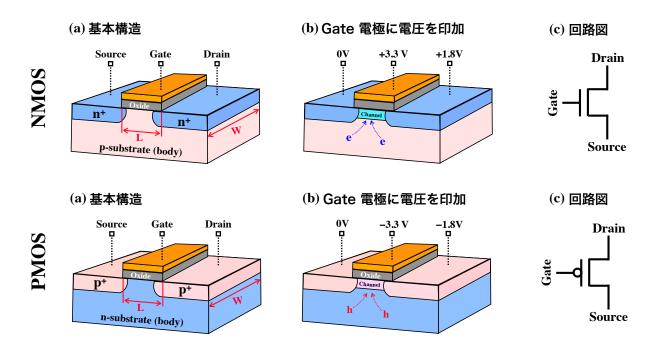


図 2.9: NMOS と PMOS の模式図と回路図。

弱反転状態 ($V_{GS} < V_{T}$)

ゲートに電圧を加えていくと、酸化膜直下に反転層 (Channel) が形成されて、電流が流れる。この反転層が生じる電圧を、閾値電圧 V_T と呼ぶ。ゲート・ソース間の電圧差 V_{GS} が V_T より小さい場合、Channel が完全に形成されていないため、理想的には電流 I_D は流れない。しかし実際には、ボルツマン分布に基づく微弱な電流は流れている。その時の電流値は、

$$I_{\rm D} \simeq I_{\rm D0} \exp\left(\frac{V_{\rm GS} - V_{\rm T}}{k_{\rm B}T/e}\right) \tag{2.16}$$

と書ける。ここで I_{D0} は $V_{GS}=V_{T}$ の時の電流値である。MOSFET をスイッチとして用いる場合、この電流はスイッチ OFF の時でも流れてしまう、一種のリーク電流である。この電流は、サブスレッショルドリークと呼ばれている。

線形状態 $(0 < V_{DS} < V_{GS} - V_{T})$

Channel がソース端からドレイン端まで形成されている時、MOSFET は線形状態として動作する。線形状態で流れる電流は、

$$I_{\rm D} = \mu C_{\rm ox} \frac{W}{L} \left[(V_{\rm GS} - V_{\rm T}) V_{\rm DS} - \frac{1}{2} V_{\rm DS}^2 \right]$$
 (2.17)

と表される。ここで、 μ はキャリアの移動度を表している。式 2.17 にあるように、一般的に MOSFET の特性は、ソース・ドレイン間の長さであるチャネル長 L、奥行きの幅であるチャネル幅 W、単位面積当たりのゲート酸化膜容量 $C_{\rm ox}$ で決まる。

線形状態では V_{DS} が相対的に小さいため、式 2.17 は

$$I_{\rm D} \simeq \mu C_{\rm ox} \frac{W}{L} (V_{\rm GS} - V_{\rm T}) V_{\rm DS}$$
 (2.18)

と V_{DS} の線形関数で近似できる。このことから、ソース・ドレイン間の抵抗は

$$R_{\rm on} = \frac{V_{\rm DS}}{I_{\rm D}} \simeq \frac{1}{\mu C_{\rm ox} \frac{W}{I} (V_{\rm GS} - V_{\rm T})}$$
 (2.19)

で表せる。

飽和状態 $(0 < V_{GS} - V_{T} < V_{DS})$

線形状態で流れる電流は、式 2.18 より V_{DS} に比例する。この比例関係は V_{DS} が $V_{GS} - V_{T}$ になるまでは成り立つが、 V_{DS} がそれ以上になると、電流値は V_{DS} に依らずほぼ一定の値となる。この状態を飽和状態と呼ぶ。飽和状態では、ドレイン電圧が高いため、ドレイン端とゲート間には閾値以下の電圧しか印加できていない状態になる。そのため、ドレイン端から順に Channel が消滅していく。Channel の一部は消滅しているが、Channel 端とドレイン端の間にかかっている電圧が大きいため、キャリアを電場の力でドレインまで引っ張ることができ、電流が流れる。

飽和状態での電流は、

$$I_{\rm D} = \mu C_{\rm ox} \frac{W}{2L} (V_{\rm GS} - V_{\rm T})^2 (1 + \lambda V_{\rm DS})$$
 (2.20)

と表せる。 λ はチャネル長変調係数 (< 1) と呼ばれ、チャネル長が ΔL 変化したとすると、 $\lambda V_{DS} = \Delta L/L$ が成り立つ。チャンネル長 L が十分に長いとき、変調の効果は無視できる ($\lambda \ll 1$) ため、式 2.20 は

$$I_{\rm D} \simeq \mu C_{\rm ox} \frac{W}{2L} (V_{\rm GS} - V_{\rm T})^2$$
 (2.21)

となる。

以上の3状態における特性を図2.10に示した。

MOSFET の性能指標として、入力電圧をどれだけの出力電流に変換できたか表す相互 コンダクタンス g_m と呼ばれる指標がよく用いられている。飽和領域で動作する MOSFET の場合、出力電流は式 2.21 より、主にゲート・ソース間の電圧 (入力電圧) V_{GS} によって 決まる。そのため相互コンダクタンスが定義でき、その値は

$$g_m = \frac{\Delta I_{\rm D}}{\Delta V_{\rm GS}} \simeq \mu C_{\rm ox} \frac{W}{L} (V_{\rm GS} - V_{\rm T})$$
 (2.22)

で与えられる。

2.3.2 MOSFET のノイズ

MOSFET で発生するノイズには主にkT/Cノイズと1/fノイズの2種類がある。

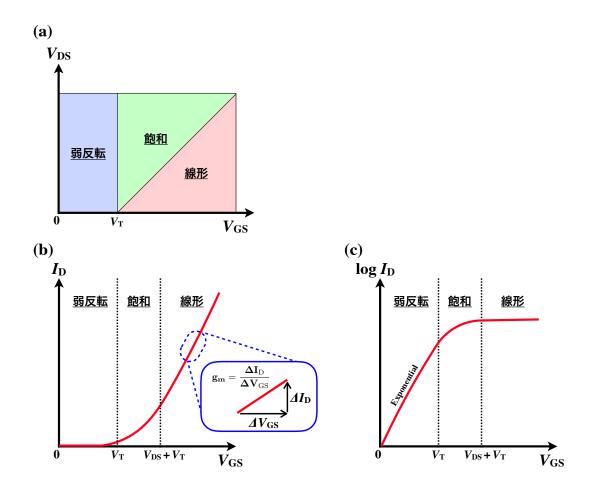


図 2.10: MOSFET の特性。(a) V_{GS} - V_{DS} と 3 状態 (弱反転・線形・飽和) の対応関係。(b) MOSFET の電流電圧特性。縦軸をリニア表示にしている。(c) MOSFET の電流電圧特性。縦軸を \log 表示にしている。

kT/C ノイズ (スイッチノイズ)

kT/Cノイズは、有限の抵抗を有するスイッチを介して、キャパシタを定電圧に設定する際に生じるノイズである。図 2.11 のような、リセット回路を考える。MOSFET を ON にすると、理想的には、キャパシタは定電圧 V_d に設定される。しかし実際には正確に V_d とはならず、電子のランダムな熱運動により電流が変動するため、MOSFET の両端に電位差が生じる。MOSFET を OFF にした時にその変動分がノイズとして残り、キャパシタの設定電圧は V_d から変化する。このノイズ成分を kT/C ノイズと呼ぶ。

図 2.11 のように、MOSFET とキャパシタが並列に接続されている場合、全周波数帯域で熱ノイズを積分すると、

$$\Delta V_{\text{thermal}}^2 = \frac{k_{\text{B}}T}{C} \left[V^2 \right]$$
 (2.23)

と表せる。

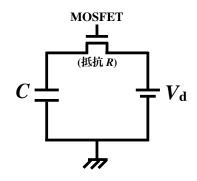


図 2.11: MOSFET を含めた RC 回路 (リセット回路)。

1/f **ノイズ**

1/f ノイズは、周波数に反比例して低周波帯域で大きくなるノイズ成分のことである。 MOSFET の Si/SiO₂ 界面では、Si 結晶と SiO₂ 結晶の格子定数の違いにより、未結合ボンドが発生する。未結合ボンドは、電荷の捕獲や放出を繰り返すため、MOSFET に流れる電流がランダムに変化する。これが 1/f ノイズの発生起源だと考えられている。単位周波数あたりの 1/f ノイズは、

$$\Delta V_{\text{noise}}^2 = \frac{\kappa}{C_{\text{ox}}WL} \times \frac{1}{f} \left[V^2 / \text{Hz} \right]$$
 (2.24)

と書ける。κは製造プロセスに依存する定数である。

2.3.3 CCD センサー

CCD の電荷読み出し方法は簡単に言えば、バケツリレー方式である。シリコン基板表面に酸化膜を生成し、酸化膜上に設けた多数の電極に異なる電圧を印加することでポテンシャルの井戸を作り出し、次々と転送する。読み出し方法のイメージを図 2.12 に示した。基本的な読み出し方法の原理から言えば、センサー部は、例えば単純な P 型半導体だけで良い。しかし、最新の CCD では単に P 型半導体だけで構成したりはしていない。図 2.12 にあるように絶縁層と Si の界面に、基板極性と逆の半導体 (埋め込みチャネル)を形成している。これによりポテンシャルの極大位置を界面から深い所に移動させることができ、電荷が Si/SiO₂ 界面でトラップされることを防いでいる。また、埋め込みチャネル部分に電圧を印加することで、界面から生じる暗電流を抑制することもできる (Pinned Photodiode と呼ばれる)。この概念は半導体検出器を開発する際に重要で、現在開発が進められている世界の様々な検出器にも応用されており、本修論のメインテーマである我々の最新素子「XRPIX6E」にも繋がってくる。

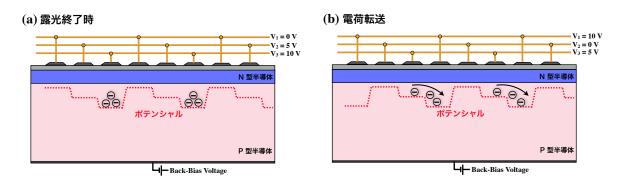


図 2.12: (a) 露光終了時のイメージ図。(b) 電荷転送中のイメージ図。

X線CCD

X線 CCD 検出器は Fano リミットに迫るエネルギー分解能を持ち、尚且つピクセルサイズを $20~\mu$ m \times $20~\mu$ m 程度と小さくできるため、精密分光・高い位置分解能が求められる衛星の検出器によく用いられている。図 2.13 に実際に CCD 検出器が搭載されている衛星を、表 2.3 に搭載されている CCD 検出器の特徴を示す。

実際に X 線天文衛星で用いられた CCD を図 2.14 に示す。 X 線 CCD は撮像領域の他に、読み出し用の蓄積領域がもう一面設けられている (Frame Transfer 型)。この方式の場合、撮像領域は受光と転送の 2 つの役割を果たすことになる。これは撮像領域と蓄積領域が 1 ラインずつ交互に並び、隣接した蓄積領域に電荷を一旦転送することで、読み出しと露光を同時に行える可視光用 CCD とは大きく異なる (Interline Transfer 型)。 X 線用で Interline Transfer 型を用いないのは、1 ライン毎に存在する蓄積領域の X 線遮光が構造的に困難であり、また撮像領域の有効面積が蓄積領域分だけ小さくなってしまうためである。

X線 CCD の問題点

X線CCD は高い位置分解能とエネルギー分解能を持つ非常に優れた検出器で、現在の X線天文衛星における主力検出器である。しかし、電荷転送をして信号を読み出すため、 時間分解能が数秒程度と悪い。これは、明るい天体を観測するとパイルアップが生じてし まったり、変動の早い天体現象を観測できないなど様々な問題を生じる。また X線 CCD では、高い電荷転送効率を得るために -100°C 以下に冷却して動作させる必要もある。

2.3.4 MOS センサー

MOS センサーとは、フォトダイオードに蓄積された電荷を、行/列 2 つの MOSFET スイッチで選択して読み出しを行うセンサーの事である。各画素毎に読み出し回路を備えているため、CCD と比べて電荷の読み出しを速く行うことができる。MOS イメージセンサーの構成および読み出しの流れを図 2.15 に示す。

始めに、行/列選択 MOSFET を ON にするとビデオ電圧 $(V_{\rm V})$ にリセットされる。リセット後、行/列選択 MOSFET を OFF にすると、フォトダイオードに信号電荷が蓄積され始める。一定時間露光後に再度、行/列選択 MOSFET を ON にすると、蓄積された電荷量に

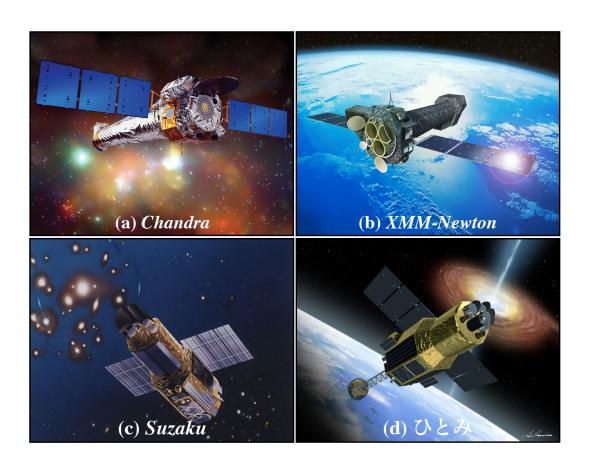


図 2.13: 既存の主な X 線天文衛星。(a) *Chandra* [16]. (b) *XMM-Newton* [17]. (c) *Suzaku* [18]. (d) ひとみ [19].

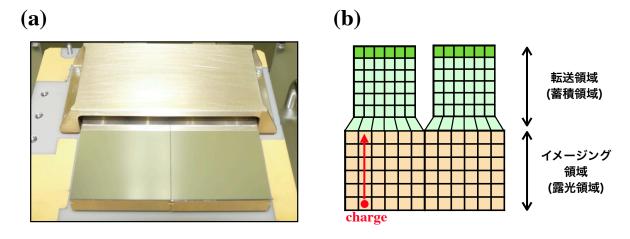


図 2.14: (a) CCD 検出器の外観 (写真は、ひとみ衛星 [20] に搭載された SXI である)。(b) CCD の構成及び読み出しの流れ。

衛星	CCD 検出器	ピクセルサイズ	空乏層厚	エネルギー分解能 (FWHM)	時間分解能
Chandra ¹	ACIS	24 μm 角	50–75 μm (FI) 45 μm (BI)	>130 eV at 6 keV	3.2 s
XMM-Newton ²	EPIC MOS EPIC pn	40 μm 角 150 μm 角	40 μm (FI) 300 μm (BI)	150 eV at 6 keV	2.6 s 73.4 ms
Suzaku ³	XIS	24 µm 角	65 μm (FI) 45 μm (BI)	130 eV at 6 keV	8 s
ひとみ4	SXI	24 μm 角	$200 \mu \text{m} (BI)$	160 eV at 6 keV	4 s

表 2.3: 主な X 線天文衛星に搭載されている CCD 検出器の特徴一覧。

応じた電流が流れる。その際に負荷抵抗の両端に生じる電圧をプリアンプで検出すれば信号の読み出しが行える。動作的には、信号読み出しとフォトダイオードのリセットは同時に行われる。

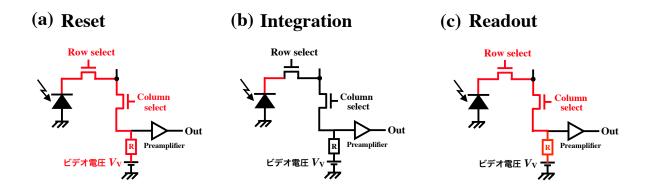


図 2.15: MOS イメージセンサーの構成と読み出しの流れ。赤線は電流の流れを表している。

MOS イメージセンサーは、読み出し回路の簡易さと、画素毎に読み出しが行える特徴を生かし、民生品として量産されていたが、現在ではほとんど使用されていない。その主な理由は、MOS イメージセンサーがノイズに弱い点にある。MOS イメージセンサーの場合、信号電荷量が非常に大きければ問題ないが、そうでない場合は信号読み出しの度に乗る kT/C ノイズを無視できない。またフォトダイオードの容量に比べ、信号線の寄生容量が桁で大きいため、その点でも高い S/N 比は実現できない。

2.3.5 CMOS イメージセンサー

MOS イメージセンサーは、信号電荷に対するノイズの割合が大きく、S/N 比が悪いという問題があった。この問題を解決するため、信号電荷を増幅するアンプを画素毎に搭載した、新たなセンサーが開発された。それが PMOS と NMOS を相補的に用いる、CMOS (Complementary MOS) イメージセンサーである。

¹ The *Chandra* Proposers' Observatory Guide, Garmire et al. (2003)

² XMM-Newton Users Handbook

³ Koyama et al. (2007)

⁴ Hayashida et al. (2014)

図 2.16 に CMOS イメージセンサーの構成と読み出しの流れを示した⁷。 MOS イメージセンサーの場合、フォトダイオードで蓄積された信号電荷をそのまま読み出していた。一方、CMOS イメージセンサーの場合、画素毎に設けられた画素アンプによって、信号電荷量に応じた電圧に変換して読み出しを行なっている。その際の画素アンプには、よくソースフォロアが用いられている。

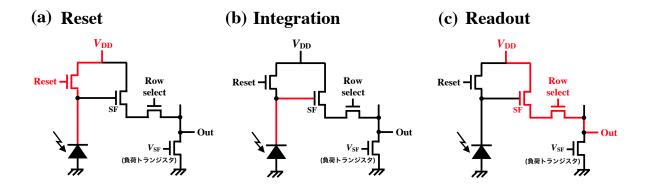


図 2.16: CMOS イメージセンサーの構成と読み出しの流れ。赤線は電流の流れを表している。

ソースフォロア回路(SF回路)

SF 回路とは、入力信号の電位を高い入力インピーダンスの MOSFET ゲート入力部で受けて、低い出力インピーダンスで出力するバッファ回路のことである。ソースフォロアの回路図を図 2.17 に示す。大まかなイメージとしては、予め Tr. 2 のトランジスタで回路に流れる電流 I_{D2} を決めておく。外部に電流が流れ出さない場合、Tr. 2 に流れる電流と同じ量の電流が Tr. 1 にも流れる ($I_{D1}=I_{D2}$)。そうすると V_{GS1} がある一定値に決まるので、 V_{in} の変化に V_{out} の変化が追随するようになる。

具体的に式を使って確認をする。まず、トランジスタ Tr. 1 に注目すると、

$$V_{\rm GS1} = V_{\rm in} - V_{\rm out} \tag{2.25}$$

$$V_{\rm DS1} = V_{\rm DD} - V_{\rm out} \tag{2.26}$$

が成り立つ。Tr. 1の閾値電圧を V_{T1} とした場合、

$$V_{\text{GS1}} - V_{\text{DS1}} - V_{\text{T1}} = V_{\text{in}} - V_{\text{out}} - (V_{\text{DD}} - V_{\text{out}}) - V_{\text{T1}}$$
 (2.27)

$$= V_{\rm in} - V_{\rm DD} - V_{\rm T1} \tag{2.28}$$

となる。今回念頭に置いている CMOS イメージセンサーの場合、図 2.16 (a) のように、フォトダイオードを始め $V_{\rm DD}$ にリセットしている。その後、信号電荷である電子が蓄積さ

⁷図にあるように、初期の CMOS イメージセンサーは PMOS・NMOS を相補的に使用していない。それでも CMOS イメージセンサーと呼ばれるのは、周辺回路が CMOS プロセスで製造されているからである。画素内に限れば、画素アンプが備えられているかどうかが、MOS イメージセンサーと CMOS イメージセンサーの違いである。

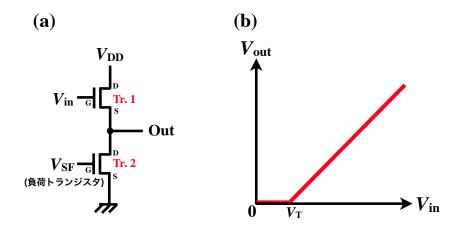


図 2.17: (a) NMOS を用いたソースフォロア回路、(b) ソースフォロア回路の入出力特性。

れて行くため、必ず $V_{in} < V_{DD}$ が成り立つ。よって、式 2.28 は、

$$V_{\rm GS1} - V_{\rm DS1} - V_{\rm T1} < 0 (2.29)$$

となり、Tr. 1 は飽和状態である $V_{\rm GS1}$ – $V_{\rm T1}$ < $V_{\rm DS1}$ で動作させていることがわかる。従って Tr. 1 に流れる電流 $I_{\rm D1}$ は式 2.21 より、

$$I_{\rm D1} \simeq \frac{1}{2}\beta_1(V_{\rm GS1} - V_{\rm T1})^2 = \frac{1}{2}\beta_1(V_{\rm in} - V_{\rm out} - V_{\rm T1})^2$$
 (2.30)

と書ける。ここで $\beta_1 = \mu C_{\text{ox}} \frac{W}{L}$ である。

次に、Tr. 2 に注目する。 V_{SF} の電位がTr. 2 の閾値 V_{T2} より少し大きい場合を考える。この時 $V_{GS2} - V_{T1} < V_{DS2}$ が成り立つので、Tr. 1 と同じくTr. 2 も飽和領域で動作させていることになる。そのため、式 2.30 と同じく、Tr. 2 には

$$I_{\rm D2} \simeq \frac{1}{2}\beta_2(V_{\rm GS2} - V_{\rm T2})^2 = \frac{1}{2}\beta_2(V_{\rm SF} - V_{\rm T2})^2$$
 (2.31)

の電流が流れていることになる。出力側に電流が流れ出さなければ、 $I_{D1} = I_{D2}$ が成り立つので、式 2.30, 2.31 から V_{out} について解くと、

$$V_{\text{out}} = V_{\text{in}} - \left(V_{\text{T1}} - \sqrt{\frac{\beta_2}{\beta_1}}V_{\text{T2}}\right) - \sqrt{\frac{\beta_2}{\beta_1}}V_{\text{SF}}$$
 (2.32)

となる。Tr. 1 と Tr. 2 で同じ寸法の MOSFET を使用している場合、 $\beta_1 \sim \beta_2$ 及び $V_{T1} \sim V_{T2}$ (= V_T) が成り立つ。また $V_{SF} \sim V_{T2}$ を仮定しているので、以上より式 2.32 は、

$$V_{\text{out}} = V_{\text{in}} - V_{\text{T}} \tag{2.33}$$

となり、 V_{in} と V_{out} が一定の電位差 V_{T} を保ちながら動作することがわかる (図 2.17 (b))。 出力電位であるソースが、入力電位 V_{in} に追随するため、一般的にソースフォロア回路と呼ばれている。

SF回路は式 2.33 にあるように、電圧を増幅したりはしない。SF回路の利点は、入力部の負荷容量 C_{in} に比べ、出力部の負荷容量 C_{out} が大きい $(C_{\text{out}} \gg C_{\text{in}})$ 点で、これにより電

荷量を大幅に増幅でき、後段で乗るノイズの影響を少なくすることができる。

このように CMOS イメージセンサーは、画素内に SF 回路を搭載することで、MOS イメージセンサーに比べ、S/N 比の向上に成功した 8 。しかし影響が小さくなっただけで、依然として kT/C ノイズなどは残っており、より高い S/N 比を実現するためには、さらなる改良が必要である。CMOS イメージセンサーは、現在までに様々な改良がなされており、その成果は我々の XRPIX 読み出し回路にも生かされている。そのため、より発展的な回路構成に関しては、XRPIX の読み出し回路に関して述べた節 4.2 で紹介する。

2.4 半導体検出器の応用

2.4.1 DEPFET 検出器

DEPFET (DEPleted p-channel Field Effect Transistor) は 1985 年にマックス・プランク研究所で提案され、現在開発が進められている半導体検出器である (図 2.18)。この検出器の特徴は、名前にもあるように Field Effect Transistor (FET) を応用した原理を用いて、X線を検出する点である。FET は、酸化膜上に設けた金属電極 (gate) に電圧を印加することで酸化膜下に電荷を誘起し、ソース (source) とドレイン (drain) 間に流れる電流を制御している。DEPFET では、FET の基本構造に加えてゲート下に高濃度の N 型不純物をドープしている。これによりポテンシャルミニマムを gate 酸化膜下の深い位置にすることができる。Si 半導体の空乏層中で生じた電荷は電場に沿ってドリフトし、最終的にポテンシャルミニマムに引き寄せられ蓄積される。この蓄積された電荷によりゲート下の電場が変化する。つまり、あたかも基板内部に作られた仮想的なゲート電極 (internal gate) に電圧が印加されたような振る舞いになる。その際のソースとドレイン間を流れる電流の変化の度合い ($\Delta I_{\rm ds}$) を測定することで、間接的に X線によって発生した電荷の量を見積もっている。読み出し後、蓄積電荷はゲート電極の横に設置してある clear gate を動作させることで、リセットすることができる。

各ピクセル毎に読み出しを行えるため、CCD に比べ DEPFET は時間分解能が数 ms と早い。ピクセルサイズは CCD 程ではないが、典型的には 75–100 μ m と比較的小さい値を実現しており、エネルギー分解能は 5.9 keV のピークで 140 eV (FWHM) と CCD に匹敵するような値を達成している。

2.4.2 金属バンプ型ハイブリット検出器

金属バンプ型ハイブリット検出器は、センサー部と回路部を金属バンプで接続し、信号の読み出しを行う検出器である。図 2.19 に、金属バンプ方式で作られたハイブリッド検出器を示す。この検出器は、別々に作られたセンサー部と回路部を Bump bonding と呼ばれる金属バンプで機械的に接続を行っている。ボンディング技術が成熟しているため、よく用いられているが、この方式では

⁸図 2.16 のような初期の CMOS イメージセンサーは、一つの画素内に、リセット・SF・行選択の 3 トランジスタで構成されていることから、一般的に 3T CMOS イメージセンサー (3TCIS) と呼ばれている。

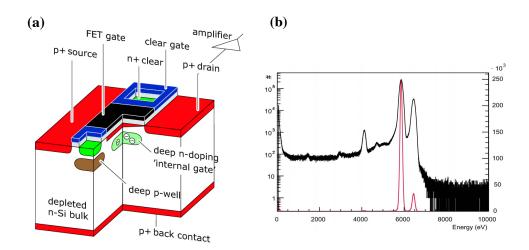


図 2.18: (a) DEPFET の断面図 [21]。(b) DEPFET で取得した 55 Fe のスペクトル [22]。裏面から X 線を照射し、温度は -40° C で測定を行なっている。エネルギー分解能は 5.9 keV のピークで 140 eV (FWHM) である。

- 金属バンプが不要な物質となり寄生容量が大きくなる。
- 金属バンプ自身の大きさで、ピクセルサイズが制限される。

などの問題があることが知られている。これらの問題を解決する検出器の一つに、SOIPIX 検出器がある。

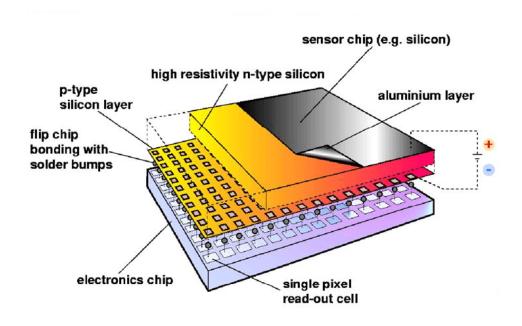


図 2.19: 金属バンプ型ハイブリット検出器の概念図 [23]。

第3章 SOIPIX検出器の基礎

SOIPIX 検出器は、低比抵抗の回路層と高比抵抗のセンサー層が、絶縁層を挟み一体化したモノリシック検出器である(図 3.1)。SOI 構造を用いることで、従来の検出器には無かった様々な利点が得られる。本章では SOI の基礎を紹介する。

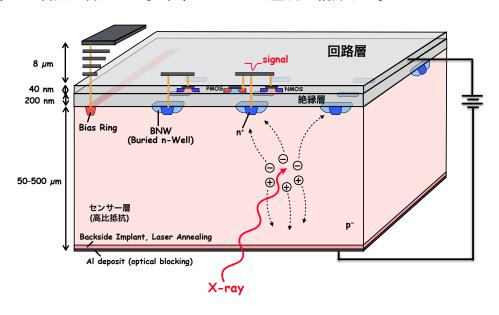


図 3.1: SOI ピクセル検出器の構造図。

3.1 SOI 技術

3.1.1 Bulk CMOS ≥ SOI CMOS

SOI 技術は、回路部のシリコン層と基板部のシリコン層の間に絶縁層 (Buried Oxide, BOX)を形成する技術である。従来の CMOS 回路は Bulk CMOS と呼ばれる、Si 基板上に p-well や n-well を埋め込んで作られた複雑な構造をしていた。一方、SOI CMOS の場合は単純で、複雑な well 構造を必要としない。図 3.2 に一般的な Bulk CMOS と SOI CMOS の断面図を示した。SOI CMOS は従来の Bulk CMOS に比べ、多くの利点が存在する。例えば、絶縁層によってトランジスタ同士が分離されるため、ラッチアップが原理的に起こらない。また寄生容量が小さく、低消費電力というメリットもある。そのため産業界でも良く用いられており、例えば PlayStation 3 などのゲーム機用 CPU にも SOI 技術は用いられている。

(a) Bulk CMOS (b) SOI CMOS Source Gate Drain Source Gate Drain Metal Drain Notal Drain Drain Notal D

図 3.2: Bulk CMOS と SOI CMOS の断面図。

3.1.2 PD SOI & FD SOI

SOI は Si チャネル層の厚さによって、部分空乏型 (Partially Depleted, PD) と完全空乏型 (Fully Depleted, FD) の 2 種類に分類される。図 3.3 に PD SOI と FD SOI の断面図を示した。PD SOI の場合、ゲート下に形成される空乏領域が Si チャネル層の厚みよりも薄い。この場合、酸化層とチャネルの間に電気的に浮遊した中性領域が残るため、デバイスの電気特性に影響を与えてしまう (キンク効果と呼ばれる)。

一方、FD SOI では Si 層が十分薄く、トランジスタの閾値電圧に達する前に、空乏領域が絶縁層まで達する。そのためキンク効果は存在しない。またデバイスが低い電界で動作可能となるため、強い電界が要因で生じるリーク電流が少なくなり、低消費電力の観点からも FD SOI は優れている。

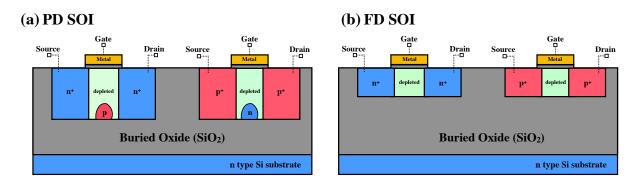


図 3.3: PD SOI と FD SOI の断面図。

3.1.3 SOI ウェハーの製造方法

SOI ウェハーの製造方法は数種類存在している。我々の検出器は、その中でも「Smart Cut 法」を用いて製造されている。Smart Cut 法は、フランス SOITEC 社の登録商標であり、日本では、信越半導体(株)が SOITEC 社からライセンスを受けて製造を行っている。図 3.4 に、Smart Cut 法による SOI ウェハーの製造工程の模式図を示した。

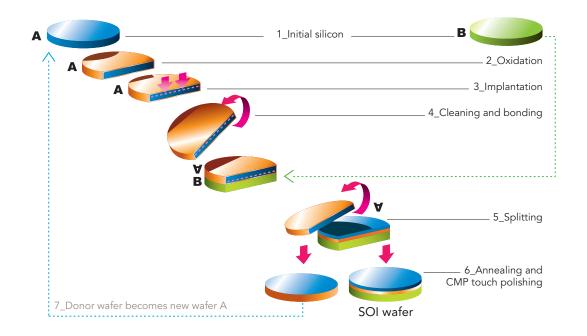


図 3.4: Smart Cut 法による SOI ウェハーの製造工程 [24]。

Smart Cut 法は簡単に言えば、水素イオンビームを利用した切断手法を用いて、SOI を作成する方法である。まず Si ウェハーを 2 枚用意する。1 枚の Si ウェハー (A) を熱酸化処理し、表面に酸化膜 (SiO_2) 絶縁層)を形成する。その後、酸化膜を形成した Si ウェハー (A) の表面に水素イオンを打ち込む。これを、もう 1 枚の Si ウェハー (B) と熱処理により接合させる。水素イオンを注入されたウェハーは、水素脆化現象により、注入された面が剥がれやすくなる。これを剥がし、洗浄・研磨する事で 1 枚の SOI ウェハーが完成する。分離されたウェハー (A) は再利用が可能である。

Smart Cut 方式で作られたウェハーの利点は、ウェハー(A)の再利用ができるため低コスト、2種類のウェハー(A, B)を用いるため別々の比抵抗のウェハーを接合することが可能、などが上げられる。特に我々の検出器では、センサー部はより空乏層を広げるために高比抵抗のシリコン、回路部は高速動作のために低比抵抗のシリコンである事が望ましいので、この別々の比抵抗のウェハーを接合できる Smart Cut 方式は大きなメリットを持つ。

3.2 SOI 検出器の利点

SOI 検出器とは、低比抵抗の Si ウェハーと高比抵抗の Si ウェハーを SOI 技術によって一体化させた検出器である。FORCE 衛星搭載用の検出器としては、以下の (i)–(v) の性能を併せ持つ必要がある。SOI 検出器では、それらを高い次元で同時に実現することが出来る。

(i) 寄生容量が小さい

CMOS 回路の場合、入力信号に対する出力信号の遅れ (伝播遅延時間 t_d) は

$$t_d \sim \frac{V_{\rm D}}{I_{\rm D}} C_{\rm all} \tag{3.1}$$

と表される。入力信号には0から V_D に立ち上がるパルス電圧を仮定しており、 I_D は電圧 V_D の時に流れる電流値である。 $C_{\rm all}$ は負荷容量であり、主には駆動回路自身の容量と配線等による寄生容量の和で表される。

式 3.1 より、伝播遅延時間は論理電圧、駆動電流、容量の関係で決まる。容量が大きくなれば、回路の動作はそれに比例して低速になる。SOIではバンプ接続に起因した寄生容量が生じず、またトランジスタ間が絶縁体で分離されているため、駆動回路自身の容量も小さくできる。そのため、回路の高速動作にSOIは適している。また寄生容量が小さい事は、少ない電荷で大きなS/N比が得られるという利点にも繋がる。

(ii) 高集積性

SOI 構造では隣り合うトランジスタの間に絶縁体があるため、同じデザインルールであれば他の構造に比べて、互いに干渉しにくい。そのため各トランジスタ間の距離を近づけることができ、複雑な回路を実装しても小さいピクセルサイズに保つ事ができる。

(iii) 厚いセンサー領域を実現可能

高エネルギーの X 線に感度を持たせるためには、センサー領域 (空乏層) を広げる必要がある。式 2.5 で示したように、厚い空乏層を実現するためには、高比抵抗の Si ウェハーと高い印加電圧が必要となる。高比抵抗の Si ウェハーは節 3.1.3 の Smart Cut 法を用いた SOI 技術により実現可能である。比較的高い電圧 (~数百 V) での運用も、SOI はセンサー層と回路層が絶縁体で分離されているため可能である。

(iv) 低消費電力

トランジスタ周りが絶縁体で覆われているため、Bulk CMOS のような基板に漏れ出 すリーク電流は発生しない。また寄生容量も小さいので、動作時の消費電力を低減 できる。

(v) 低コスト

機械的な接続を行う必要がなく、製造に関しても、産業界の標準プロセスを用いて 行えるため、低コストである。

SOI 検出器と他の X 線検出器を比較したものを、図 3.5 に示した。

3.3 SOI 検出器での問題

SOI 検出器は、回路層とセンサー層が一体化した特徴から多くの利点を有していた。しかし、回路部とセンサー部が近いことに起因した問題もあることがわかった。

回路層とセンサー層を隔てる絶縁層は、トランジスタのゲート酸化膜に比べ十分厚いため、通常センサー層に印加されたバックバイアス電圧 (V_b) はトランジスタに影響を与えない。しかし、X 線検出用など厚い空乏層を必要とする検出器の場合、センサー層をより

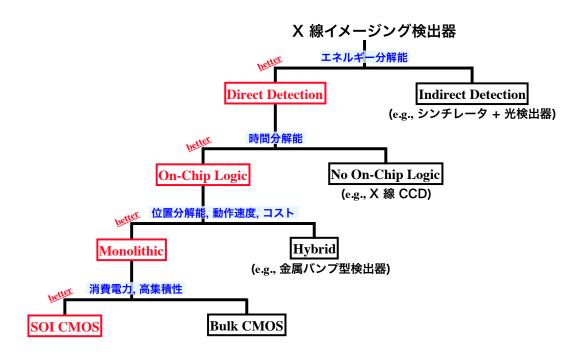


図 3.5: SOI 検出器と他の X 線検出器の比較チャート図。

空乏化させるため高い V_b を印加する必要がある。すると、センサー層に印加された電圧 の影響を無視できなくなる。

これはシミュレーションでも確認できる 1 。SOI 検出器の回路層にトランジスタ (PMOS) を設置し、センサー層に V_b を印加した場合を考える。 V_b が低い場合 (図 3.6 (b)) はトランジスタに影響はないが、 V_b を上げると図 3.6 (c) のようにトランジスタの Body 部分のキャリア分布が変化し、バックチャネルが形成されている。つまりセンサー部に印加した電圧によって、トランジスタの閾値電圧が変化してしまう。これをバックゲート効果と呼ぶ。

この問題を抑制するため SOI 検出器では、CMOS 回路直下のセンサー層表面に Buried n-well (BNW) と呼ばれる薄い n層を形成している (図 3.1)。BNW の電位がセンスノード電位に固定されるため、バックゲート効果を抑制できる。図 3.7 に BPW²有無によるトランジスタ特性変化の実験結果を示した。BPW がない場合は V_b によってトランジスタの特性が変化しているのに対して、BPW がある場合は特性に変化がなく、バックゲート効果が抑制されている。

¹使用したシミュレータの詳細に関しては第5章で述べる。

²センサー層にn型基板を用いているため、BNWではなくBuried p-well (BPW) となっている。

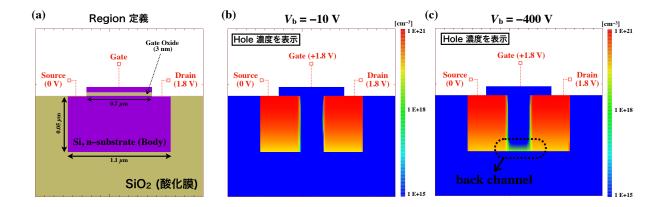


図 3.6: SOI 検出器でのバックゲート効果のシミュレーション。(a) シミュレーションを行う際に定義したトランジスタの構造。センサー層は $66 \mu m$ 、絶縁層は 200 nm に設定している。(b) $V_b = -10 V$ での、トランジスタ部分のホール濃度。(c) $V_b = -400 V$ での、トランジスタ部分のホール濃度。

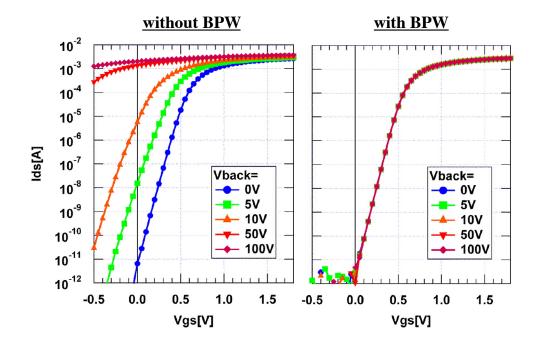


図 3.7: BPW 有無によるトランジスタの特性変化 (NMOS) [25]。横軸はゲート・ソース間の電圧、縦軸はドレイン・ソース間の電流である。

第4章 X線天文用ピクセル検出器 XRPIXの開発

2005 年に高エネルギー加速器研究機構 (KEK) で SOI 検出器開発グループが発足し、SOIPIX の開発が進められてきた。京都大学では2008年より開発グループに参加し、SOIPIX の知見を生かし、独自に X 線天文学用の検出器「XRPIX」を開発してきた (図 4.1)。 XRPIX シリーズは主導的な役割を担っている京都大学の他に、KEK・宮崎大学・静岡大学・東京理科大学なども共同で開発を行っている。 XRPIX 最大の特徴は、X 線が入射したタイミングで、入射したピクセルのみを読み出す「イベント駆動読み出し」が出来ることである。 これにより数 10 ns - 数 μ s の高時間分解能と >1 kHz の高スループットが実現できる。本章では XRPIX の基本的な要素を紹介する。

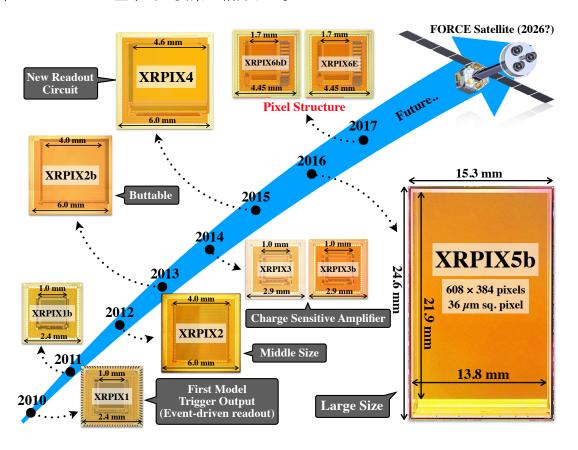


図 4.1: XRPIX シリーズ開発の歴史。素子毎の主な特徴も合わせて記載している。

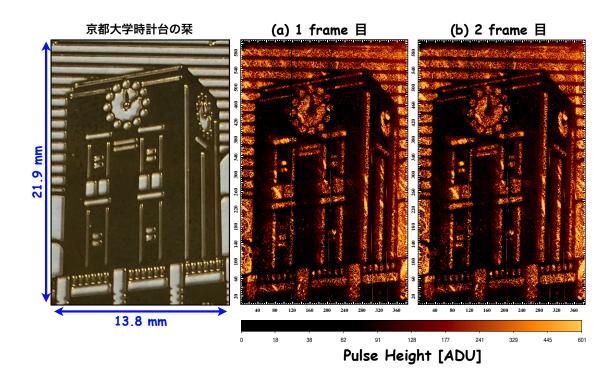


図 4.2: フレーム読み出しのデモ画像。京都大学時計台の栞を遮光用マスクとして用い、マスクの上から LED の光を照射している。入射イベントに関係なく、特定の領域を一定間隔で読み出すため、各フレームで同じ時計台のシルエットが浮かび上がっている。

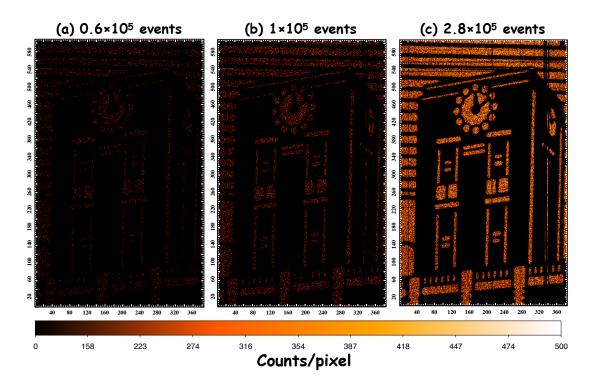


図 4.3: 京都大学時計台の栞を X 線遮蔽用マスクとして用いた際のイベント駆動デモ画像。暗室・常温で取得を行なっている。カラーバーはピクセル毎のカウント数を表している。 検出したイベント数が増えるにつれて、時計台が浮かび上がってきている。

4.1 XRPIX素子の特徴

XRPIX は初の X 線天文学用 SOIPIX 検出器である。素子の製造はラピスセミコンダク ϕ (株) の FD-SOI 0.2 μ m プロセスで行われている。

XRPIX の特徴の一つは、読み出し方法にある。XRPIX では、「フレーム読み出し」と「イベント駆動読み出し」という2種類の読み出し方法を行うことが出来る。フレーム読み出しでは、入射イベントの有無に関わらず、露光・読み出し・リセットのサイクルを繰り返して、特定の領域を一定間隔で読み出す(図 4.2)。これは従来のCCD 検出器などの読み出し方と類似している。一方、イベント駆動読み出しでは、X線が入射してトリガー閾値を超えたピクセルのみ読み出しを行う(図 4.3)。この、イベントが来た時だけ読み出しを行うという、インテリジェントな処理はXRPIX 独自の読み出し方法である。これら読み出し方法の詳細に関しては、XRPIX に搭載している読み出し回路を紹介後に説明する。

XRPIX のもう一つの特徴は、裏面照射型である。検出器は、電極側から X 線が入射する表面照射型と裏面側から入射する裏面照射型の 2 種類に分類できる。表 1.1 で示したように、FORCE 衛星は 1 keV 前後の低エネルギー帯域での観測も想定している。 XRPIX の表面側には厚さ 8 μ m の回路層が存在するため、軟 X 線を表面側から照射すると、回路層で軟 X 線が吸収され検出するのは困難である。裏面照射型の場合、入射面に回路が存在しないため回路部分での吸収を防ぐことができ、図 4.4 のように表面照射型に比べ軟 X 線の感度が向上する。裏面照射型素子で、より高い軟 X 線の感度を実現するには、裏面不感層の薄い素子開発が必要となる。 FORCE 衛星では不感層厚の要求性能に 1 μ m、最終目標に 0.1 μ m を掲げている。軟 X 線感度向上の他にも、裏面照射型素子は、表面側にある読み出し回路や電極を宇宙ゴミ (デブリ) から守ることができるため、デブリ対策に有効であることが知られている。

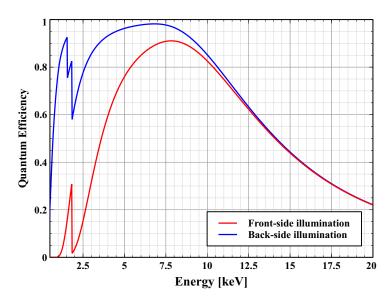


図 4.4: 表面照射 (Front-side illumination) と裏面照射 (Back-side illumination) での検出感度 の比較。主なパラメータは FORCE の最終目標値を仮定している (センサー厚 500 μ m, 不 感層厚 $0.5~\mu$ m, 裏面遮光膜の Al $0.2~\mu$ m, 回路層及び絶縁層 $8~\mu$ m)。

4.2 XRPIXの読み出し回路

最新のXRPIXの読み出し回路を図 4.5 に示す。X線により生成された電荷は、初段回路で電圧に変換し、その電圧を後段の周辺回路まで伝達して読み出しを行っている。読み出しの詳細な流れに関しては付録 Aで説明を行う。以下では、読み出し回路の中でも特に重要となる部分に関して説明を行う。

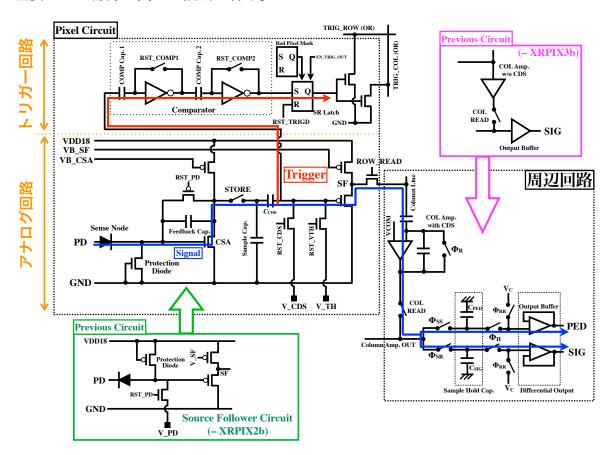


図 4.5: XRPIX の読み出し回路。大きく分けて、アナログ回路・トリガー回路・周辺回路の3つに分けられる。読み出し回路は改善を重ねており、その流れも合わせて記載している。

4.2.1 CSA 回路

電荷有感型増幅器 (Chrage Sensitive Amplifer, CSA) は、ソース接地増幅回路にフィードバックキャパシタを加えたもので、XRPIX3 以降のシリーズで導入された回路である。

まずソース接地増幅回路の特性について確認を行う。図 4.6 (a) にソース接地増幅回路の回路図を示した。入力電圧の変化を v_{in} 、出力電圧の変化を v_{out} とする。この時、 V_{in} は、

$$V_{\rm in} = V_{\rm GS2} + v_{\rm in} \tag{4.1}$$

と書ける。飽和状態で MOSFET を動作させている場合、Tr. 2 に流れる電流 $I_{\rm D2}$ は式 2.21 より、

$$I_{\rm D2} \simeq \frac{1}{2}\beta(V_{\rm GS2} + v_{\rm in} - V_{\rm T})^2 \simeq \frac{1}{2}\beta(V_{\rm GS2} - V_{\rm T})^2 + \beta(V_{\rm GS2} - V_{\rm T})v_{\rm in}$$
 (4.2)

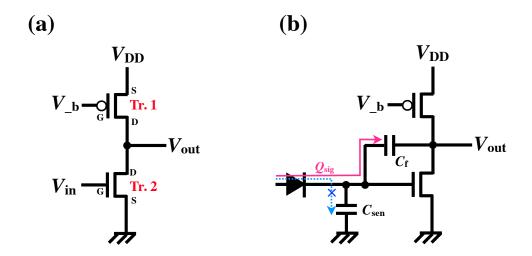


図 4.6: (a) 信号入力部に NMOS を用いたソース接地増幅回路。(b) XRPIX に搭載している、ソース接地増幅回路による電荷有感型増幅器。

と表せる。 β は $\beta = \mu C_{\text{ox}} \frac{W}{L}$ である。ここで式 4.2 は相互コンダクタンス g_m を用いると、

$$I_{\rm D2} \simeq \frac{1}{2}\beta(V_{\rm GS2} - V_{\rm T})^2 + g_m v_{\rm in} \equiv I_0 + i_d$$
 (4.3)

と書け、 v_{in} に依存した電流成分 i_d と依存しない成分 I_0 の 2 種類に分けられる。出力側に電流が流れ出さない場合、出力電圧 V_{out} は出力抵抗 R_{eff} を用いて、

$$V_{\text{out}} = V_{\text{DD}} - R_{\text{eff}}(I_0 + i_d) = (V_{\text{DD}} - R_{\text{eff}}I_0) - R_{\text{eff}}i_d \equiv V_0 + v_{\text{out}}$$
(4.4)

$$R_{eff} = \frac{r_1 r_2}{r_1 + r_2} \tag{4.5}$$

と書ける。ただし r_1 は Tr. 1 の抵抗値、 r_2 は Tr. 2 の抵抗値である。以上から、ソース接地増幅回路の電圧利得 A は、

$$-A \equiv \frac{v_{\text{out}}}{v_{\text{in}}} = -g_m R_{eff} \tag{4.6}$$

と表される(*A* が正の値になるよう便宜上、式の頭にマイナスをつけている)。一般的に *A* はかなり大きく、また符号にマイナスがついていることから、ソース接地増幅回路では入力電圧が反転増幅される。

次に XRPIX に搭載している CSA 回路について考える。図 4.6 (b) に回路図を示した。図中の C_{cen} はセンサー層の、 C_f はフィードバックキャパシタの容量を表している。センサー層で信号電荷 Q が生成されたとすると、 C_{cen} と C_f 間の電荷が保存することから、

$$v_{\rm in} = \frac{Q}{C_{\rm sen} + (A+1)C_{\rm f}} \tag{4.7}$$

となる。従って出力電圧 v_{out} は式4.6より、

$$v_{\text{out}} = -Av_{\text{in}} = -\frac{Q}{\frac{1}{A}C_{\text{sen}} + \left(1 + \frac{1}{A}\right)C_{\text{f}}}$$
 (4.8)

と表せる。Aが十分大きいという理想的な場合、

$$v_{\text{out}} \simeq -\frac{Q}{C_{\text{f}}} \tag{4.9}$$

と近似できる。

この結果は、CSA 回路の非常に有用な特性を表している。式 4.9 より、センサー層で生じた電荷のほとんどはフィードバックキャパシタに集められる。そのため、センサー容量 C_{sen} に電荷が貯まらず、センスノード電位は変化しない。また CSA 回路の場合、変換ゲイン (電子 1 個に対する電圧変化) はセンサー容量 C_{sen} に依存せず、フィードバックキャパシタの容量 C_{f} のみで決まる。SOIPIX 検出器では、バックゲート効果抑制のために BPW を入れる必要があった (節 3.3)。しかし、pn 接合面にあたる BPW の面積を大きくすると、それに比例してセンサー容量が増えてしまう。SF 回路の場合、センサー容量が大きくなると図 4.7 (a) のように変換ゲインが下がってしまう。変換ゲインが下がると、回路後段で乗るノイズの影響を無視できなくなり、S/N 比が悪くなる。実際 XRPIX において、図 4.7 (b) のように、ゲインを上げると読み出しノイズが小さくなる関係性を確認している。BPW のサイズを小さくしていけば、センサー容量が減り変換ゲインも向上するが、バックゲート効果抑制の観点から有効な手段とは言えない。従って、変換ゲインがセンサー容量 C_{sen} に依存せず、フィードバックキャパシタの容量 C_{f} のみで決まる CSA 回路は非常に有用である。

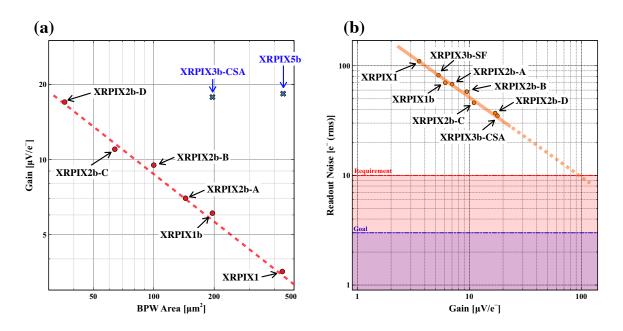


図 4.7: (a) XRPIX での BPW 面積とゲインの関係。赤のデータ点は、読み出し回路に SF 回路を用いたシリーズである。一方、青いデータ点は読み出し回路に CSA 回路を用いたシリーズである。(b) XRPIX での読み出しノイズとゲインの関係。

4.2.2 CDS 回路

CMOS イメージセンサーでは、ピクセルに溜まった電荷を定期的にリセットする。しかし、節 2.3.2 で述べたように、スイッチを ON/OFF する際には必ず kT/C ノイズが発生する。高い S/N 比を実現するためには、センサー容量を小さくしゲインを上げることが望ましいが、kT/C ノイズはセンサー容量に反比例して大きくなってしまう。そこで考案されたのが、CDS (Correlated Double Sampling) 回路である。XRPIX における、CDS 回路を用いた読み出しの流れを図 4.8 に示した。

- (i) RST_PD と RST_CDS を ON にして、回路のリセットを行う。その際、赤い領域は $V_{\text{RST-CSA}}$ 、青い領域は V_{CDS} の電位に固定される。
- (ii) RST_PDを OFF にする。この時、センサー容量が小さいため、大きな kT/C ノイズ V_{NI} が発生し、赤と緑の領域の電位に加算される。青の領域は RST_CDS を ON に しているので V_{NI} は伝わらない。
- (iii) RST_CDS を OFF にする。発生した kT/C ノイズ V_{N2} は、青の領域の電位に加算される。
- (iv) X 線により信号電荷が発生し、それにより赤い領域の電位が V_{SIG} 変化したとする と、節 4.2.1 より CSA 回路以降の電位は $V_{SIG} \times A$ 変化する。 C_{CDS} にかかる電圧差が保持されるので、青の領域の電位も $V_{SIG} \times A$ だけ変化する。最終的に取り出す電圧は、CDS のリセット電圧である V_{CDS} と差分を取るので、

$$(V_{\text{-CDS}} + V_{\text{-N2}} - V_{\text{-SIG}} \times A) - V_{\text{-CDS}} = V_{\text{-N2}} - V_{\text{-SIG}} \times A$$

となる。

このように CDS 回路によって、最終的に取り出される kT/C ノイズが、センサー容量に依存する V_{N1} から CDS キャパシタの容量に依存する V_{N2} へ置き換わっている。センサー容量が~数 fF なのに対して、CDS キャパシタの容量を 100 fF と大きくすることで、kT/C ノイズを低減できる。

4.3 XRPIXの読み出し方法

4.3.1 イベント駆動読み出し

XRPIX は画素毎にトリガー回路を備えている。予めトリガー閾値電圧を設定しておき、その基準電圧を超える信号が来た場合にトリガー信号が出力される。このトリガー信号を利用して、信号電荷の読み出しを行うのがイベント駆動読み出しである。イベント駆動読み出しの流れを図 4.9 に示した。

(i) あるピクセルに X 線が入射し、電荷が生成される。

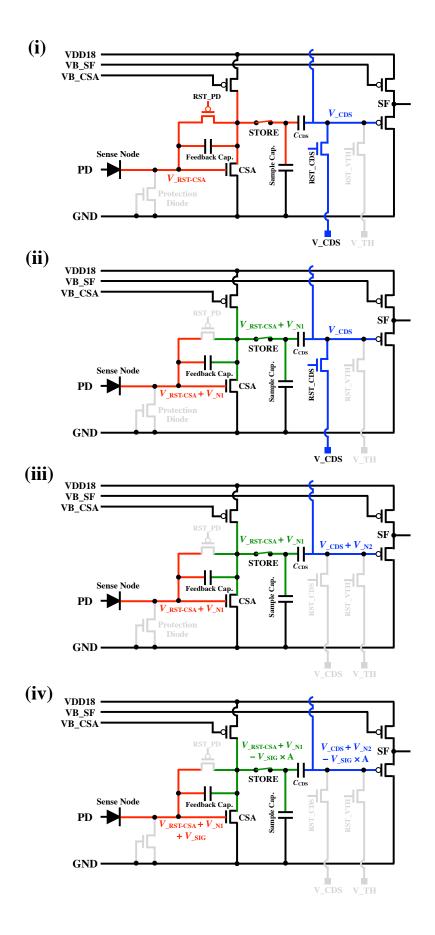


図 4.8: XRPIX における CDS 回路の動作原理。各場所における電位を、赤・緑・青で記載している。

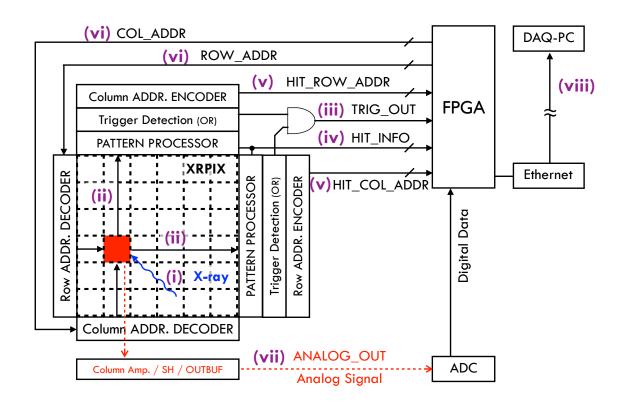


図 4.9: イベント駆動読み出しの流れ [26]。

- (ii) 生成電荷による信号レベルが、予め設定していたトリガー閾値電圧を超えると、ピクセル内の比較器回路のロジックが反転する。その際、Column と Row 方向の射影にトリガー信号が出力される。
- (iii) 全ラインのトリガー信号の OR が FPGA に出力される。その後、Column と Row の AND を取得する。
- (iv) 信号を FPGA が検出すると、DAQ を開始してからの時間と露光時間をそれぞれ記録する。また、ヒットしたピクセルのパターン (複数ピクセルでヒットがあるかどうか) も記録する。
- (v) ヒットしたピクセルの座標をスキャンし記録する。
- (vi) FPGAで読み出しを行うイベントと判断した場合、読み出すアドレスを指定する。
- (vii) 出力されたアナログ信号を外部の ADC でデジタル変換する。デジタルのデータは一時的に FPGA のレジスタに保存される。
- (viii) 得られたデータをネットワーク経由でPCへ転送する。
- 一定時間の間(本修論では 1 ms に設定している)トリガー出力がない場合は、一度リセットを行い、再度露光を開始する。現在のオペレーションでは、トリガー出力のあったピクセルだけでなく、その周囲8×8ピクセルも同時に読み出しをしている。これは発生した

電荷が複数のピクセルにまたがるチャージシェアリングイベント (節 5.1.2) を補正するためである。

4.3.2 フレーム読み出し

フレーム読み出しは、イベント駆動読み出しとは異なり、トリガー情報を用いずに読み出しを行う方法である。読み出しの流れは CCD 検出器と似ており、一定時間露光した後に、読み出し、リセットするサイクルを繰り返す。 CCD 検出器と異なる点は、CCD では読み出し方法の都合上、全ピクセルを読み出す必要があるのに対し、XRPIX では画素毎に読み出し回路を備えているため、特定の領域のみを読み出すことが可能な点である。本修論では露光時間を 1 ms に設定し実験を行なっている。また、フレーム読み出しでは使用しないトリガー信号を出力させないため、トリガー閾値電圧は大きな値に設定している。フレーム読み出しの主な用途は性能評価である。実際に衛星で運用される際には、イベント駆動読み出しの主な用途は性能評価である。実際に衛星で運用される際には、イベント駆動読み出しを用いる。しかし、現状では節 4.4 のように、イベント駆動読み出しでは素子本来の性能を見ることが難しい。そこで、新素子の性能評価はまずフレーム読み出しで行い、その後イベント駆動読み出しの評価を行うという流れをとる。

4.4 従来のXRPIXの性能と課題

XRPIX は様々な改良を重ね、性能向上に努めてきた。FORCE 衛星搭載に求められる性能と、現在までに達成できている性能を表 4.1 にまとめた。これまでの研究成果により、大部分は達成できているが、分光性能が達成できていない。歴代の XRPIX のフレーム読み出しでの 241 Am のスペクトルを図 4.10 に示した。分光性能の点で、最も良かったのは XRPIX3b である。フレーム読み出しでのエネルギー分解能は 14 keV のピークで 400 eV (FWHM) と優れた性能を見せていた。しかしイベント駆動で読み出しを行うと、図 4.11 のように性能が著しく悪化する。この問題は Takeda et al., 2014 [27] で詳細に調べられ、回路層とセンサー層の BPW との間に寄生容量が存在し、トリガー信号が寄生容量を介してアナログ信号に干渉することが原因であることが確かめられた (図 4.12)。そのため問題を解決するには、干渉を抑制する必要がある。そこで我々は新たに「Double SOI 構造」を導入した素子を開発した。

表 4.1: FORCE 衛星搭載のために求められる性能と XRPIX で達成している性能の比較。

項目	要求性能值	XRPIX の性能 (イベント駆動読み出し)
ピクセルサイズ	$200\mu\mathrm{m}$	36 µm を達成 (XRPIX5b)
イメージングエリア	$20 \text{ mm} \times 20 \text{ mm}$	21.9 mm×13.8 mm 素子を 2 枚配置 (XRPIX5b)
時間分解能	$10 \mu \mathrm{s}$	数 10 ns – 数 μs を達成 (XRPIX5b)
分光性能	300 eV (FWHM at 6 keV)	1300 eV (FWHM at 14 keV, XRPIX3b)

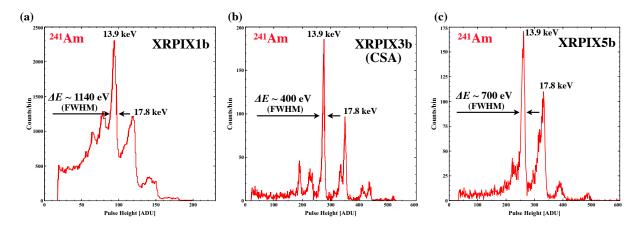


図 4.10: 歴代の XRPIX で取得した 241 Am の X 線スペクトル。それぞれ、フレーム読み出しで取得したシングルピクセルイベントの結果である。([28, 29] を元に作成)

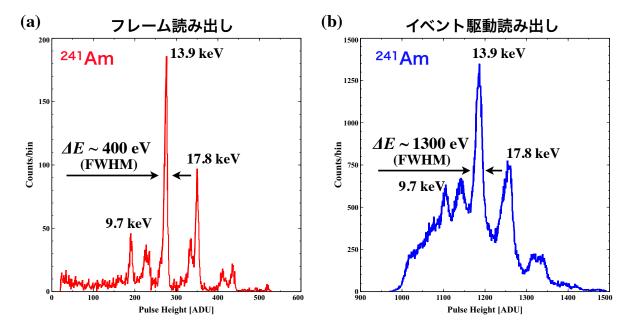


図 4.11: XRPIX3b で取得した 241 Am の X 線スペクトル。(a) フレーム読み出しで取得、(b) イベント駆動読み出しで取得したスペクトルを表している。フレーム読み出しに比べて、イベント駆動読み出しでは著しく性能が悪化している。

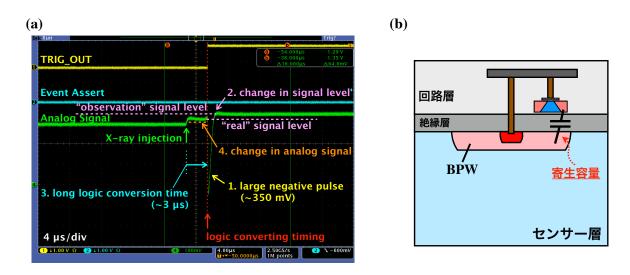


図 4.12: (a) イベント駆動読み出しで動作させた際の信号波形 [27]。トリガー信号 (黄色線) の論理が反転した際に、大きなノイズがアナログ信号 (緑線) に乗っていることがわかる。(b) 回路層とセンサー層の BPW との間に存在する寄生容量のイメージ図。

第5章 Double SOI 構造を導入した XRPIX6bD

XRPIX3bでは、回路層とセンサー層のBPWとの間に寄生容量が存在し、トリガー信号が寄生容量を介してアナログ信号に干渉することが問題となっていた。この干渉を減らす単純な方法は、回路とBPWを物理的に離すことである。しかし、この方法はバックゲート効果(節 3.3)抑制の観点から有効とは言えない。そこで我々は、新たにDouble SOI 構造を持つ素子を開発した。Double SOI 構造とは、回路層とセンサー層の間にもう1層シリコン層を入れた構造で、新たに入れた中間シリコン層 (middle Si) の電位を固定することで、静電シールドとして作用させることが出来る。これにより図 5.1 のように、回路とBPW間に存在した寄生容量の抑制が期待できる。実際にDouble SOI 構造を導入した XRPIX素子で、デジタル信号の干渉が抑えられていることを先行研究で確認している [30]。

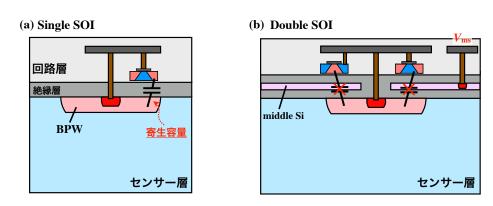


図 5.1: 従来の SOI (Single SOI) 構造と Double SOI 構造の比較。

Double SOI 構造でのバックゲート効果の抑制

Double SOI 構造は、中間シリコン層の電位が低い電位で固定されるため、バックゲート効果抑制にも効果があると考えられている。実際に Double SOI でバックゲート効果が抑制されるのか検証するために、シミュレーションを行った。シミュレーションには TCAD (Technology Computer Aided Design) と呼ばれる、半導体デバイスのプロセスや電気特性をシミュレーションできるソフトを用いた。本研究で用いた TCAD シミュレータは HyENEXSS 5.5 [31] である。

図 5.2 に今回シミュレーションを行ったデバイス構造を示した。デバイス構造は、この 後述べる XRPIX6bD を元に作成している。回路層にあたる部分にトランジスタ (PMOS)

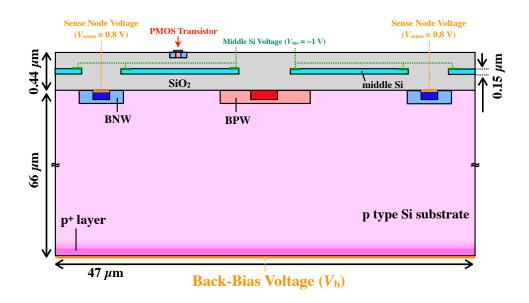


図 5.2: Double SOI 構造でバックゲート効果のシミュレーションを行う際に用いたデバイス構造。構造は XRPIX6bD を元に作成し、電極として設定した部分を太線で示している。 Middle Si には高濃度の n 型半導体を用いている (濃度は、実際に設計の際に用いた値を使用している)。

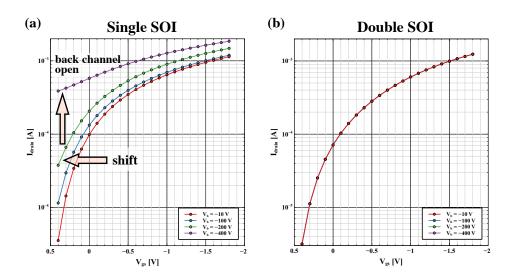


図 5.3: Single SOI と Double SOI でのバックゲート効果のシミュレーション結果。横軸はゲート・ソース間の電圧、縦軸はドレインに流れる電流値。バックバイアス電圧毎の結果を色を変えて示している。(a) Single SOI の結果。構造設定等は図 3.6 と同じである。バックバイアス電圧 V_b を上げるにつれて特性が変化している。(b) Double SOI の結果。特性が変化しておらず、バックゲート効果を抑制できている。

を1つ配置し、ドレイン・ソース間に流れる電流値のシミュレーションを行う。トランジスタの構造は図 3.6 (a) と同じである。図 5.3 に、バックバイアス電圧毎のシミュレーション結果を示す。Single SOI では V_b が大きくなるにつれて、電流電圧特性が変化していた

のに対し、Double SOI 構造では変化が見られない。従って Double SOI 構造はバックゲート効果抑制にも効果があることが確認できる。

5.1 XRPIX6bD素子の開発

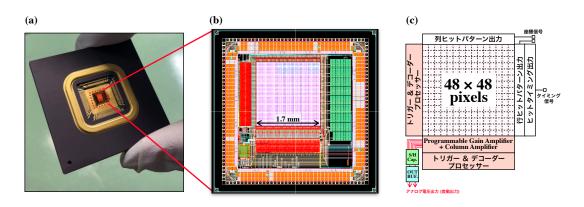


図 5.4: XRPIX6bD の (a) パッケージ写真、(b) 設計概念図、(c) 機能ブロック図。

XRPIX6bD は Double SOI 構造を採用した SOIPIX 素子である (図 5.4)。図 5.5 に XR-PIX6bD の構造を、表 5.1 に主な仕様を示す。XRPIX6bD は Double SOI の導入だけでなく、Double SOI 構造下での最適なピクセル構造を探ることも目的に開発している。BNW のサイズと BPW のサイズをそれぞれ少しずつ変化させ、電荷収集効率や分光性能が良くなる構造を調査する。この目的のため、素子全体で 48×48 個あるピクセルを、センサー層でのピクセル構造の違いにより 21 グループに分けている。基本的には 8×16 ピクセルを 1 グループとして、ピクセル構造以外 (回路レイアウト等) を全て共通にしている。具体的にどのようにピクセル構造を変化させているかは、知財の都合上述べられないが、先行研究 [29] の調査で最適な構造だと判明したグループを用いて本修論では性能評価を進める。

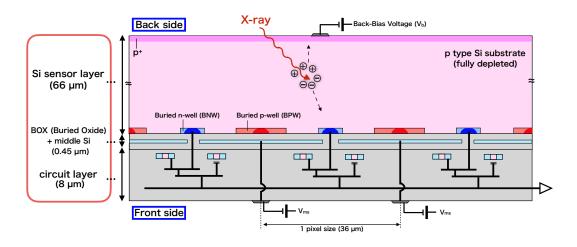


図 5.5: XRPIX6bD の断面図。

仕様	XRPIX6bD
チップサイズ	4.5 mm × 4.5 mm
センサー面積	$1.7 \text{ mm} \times 1.7 \text{ mm}$
ピクセルサイズ	$36 \mu\mathrm{m} \times 36 \mu\mathrm{m}$
ピクセル数	48×48
センサー層の厚み	~ 66 µm
ウェハータイプ	P型 Czochralski

表 5.1: XRPIX6bD の仕様。

5.1.1 実験セットアップ

実験を行う際のセットアップを図 5.6 に示した。実験環境は主に、冷却系、電源系、データ取得システム、X線源の4種類に分けられる。以下で各項目に関して、詳細に説明する。



図 5.6: 実験セットアップの写真。

• 冷却系

イメージセンサーは一般的に温度が高いと、発生するリーク電流の量が増える。また XRPIX は X 線検出器であるが、可視光にも感度を持っているため、X 線を検出する際に可視光が入射してしまうと、それはノイズ源となってしまう。これらを抑制するため、我々は冷却及び遮光用に、エスペック社の恒温槽 SU-662¹を用いた。

¹https://www.espec.co.jp/products/env-test/sh/

恒温槽は、容器内の温度を一定に保つことができる装置で、SU-662 は -60° C から 150° C まで設定が可能である。

電源系

読み出しボード及び素子の電圧源には、KENWOOD 社のトランジスタ電源 2 と KEYTHLEY 社のソースメータ 3 を用いた。使い分けとしては、数百 V 程度の HV を 印加する場合や、電圧印加口に流れる電流値を詳細に測定したい場合にソースメータを用いている (トランジスタ電源では mA 以上でないと測れないのに対して、ソースメータは μ A 以下の精度で電流値の測定が可能である)。

ずータ取得システム

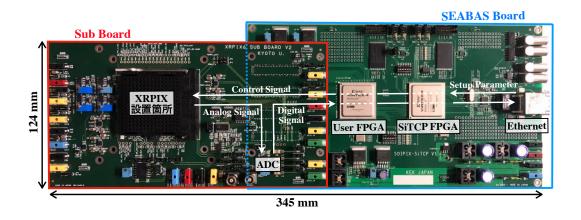


図 5.7: XRPIX の読み出しボード。SEABAS ボードとサブボードの2つから成る。

XRPIX の制御と外部へのデータ出力のために、読み出しボードを用いる。図 5.7 に、実際に使用する読み出しボードを示す。読み出しボードは、素子に依らない共通の汎用読み出しボード SEABAS (Soi EvAluation BoArd with Sitcp) ボード [32] と、素子毎に異なるサブボードの2つから成る。SEABAS ボードには、素子制御用の User FPGA とデータ転送用の SiTCP FPGA の2つが搭載されている。使用する素子に合わせて、User FPGA を書き換えることで、デジタル回路が組み替えられ、望みの制御を行うことが出来る。SiTCP FPGA は User FPGA から出力される信号を、イーサネット形式で転送できるよう変換するものである。これにより、読み出しボードとPC をイーサネットケーブルで接続することで、簡単にデータのやり取りを行える。

上記の他にも、SEABAS ボードには DAC を、サブボードには ADC を搭載している。ADC の分解能は 2 V/12 bit で、1 ADU(Analog-to-Digital Unit) あたり 488 μ V になる。DAC の分解能は 3.3 V/12 bit である。この DAC により、素子で必要となる電圧の一部を供給している。

PC 上では DAQ (Data AcQuisition system) Software を用いて、データの送受信を行なっている。DAQ Software は ROOT ライブラリ (C++) を用いて開発したもので、

²https://www.texio.co.jp/product/detail/1

³https://jp.tek.com/keithley-source-measure-units/keithley-smu-2400-series-sourcemeter?mn=2790

素子の露光時間、取得フレーム数といった制御信号を読み出しボードへ送ると共に、 転送されてくるデータをファイルに保存する役割を担っている。

X線源

性能評価に用いる X 線源として 57 Co と 241 Am の二種類を用いた。 57 Co は X 線帯域では主に、6.4 keV (Fe-K α)、7.1 keV (Fe-K β)、14.4 keV の放射線を出している。FORCE 衛星搭載の検出器に求められる分光性能は、6 keV の X 線に対し FWHM: 300 eV であった (表 1.1)。 これは、詳細には Fe-K α と Fe-K β を分離できることを念頭に設定された値である。そのため Fe-K α と Fe-K β の放射線を出す 57 Co は、開発した素子の達成性能と要求性能を比較する上で適した線源だと言える。一方、 57 Co ではカバーできない高エネルギー帯域での性能評価には、従来素子との比較しやすさを考え、13.9 keV、17.8 keV、20.8 keV の特性 X 線を照射できる 241 Am を用いる。

XRPIXで測定を行う前に、これらの線源からの X線を SDD (Silicon Drift Detector) に照射し、スペクトルを取得した。試験には、アンプテック社製の XR-100SDD 4 を 用いた。SDD は 6 keV の X線に対し 125 eV と fano リミットに迫るエネルギー分解能を有している点と、各 X線に対する量子効率が予め調べられている点から、予備 実験を行う際によく用いられる検出器である。

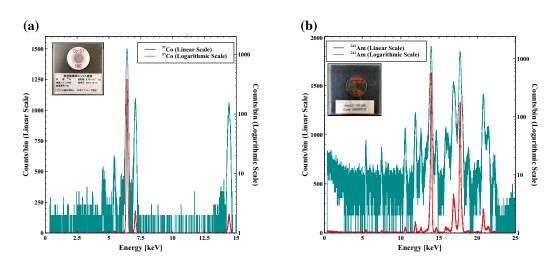


図 5.8: SDD で取得した ⁵⁷Co と ²⁴¹Am のスペクトル。

5.1.2 フレーム読み出しでの解析方法

波高値の算出(ペデスタル補正)

XRPIX は X 線が入射していない時でも、ADC の入力に使用しているアンプ (INA103) を含むアナログ・フロントエンド回路を反映して、ある一定の値を出力する。これを「ペデスタル」と呼ぶ。 X 線のエネルギーに相当する波高値を求める場合は、ペデスタルを予め評価した上で、その値と差分を取る必要がある。

⁴http://amptek.com/products/xr-100sdd-silicon-drift-detector/

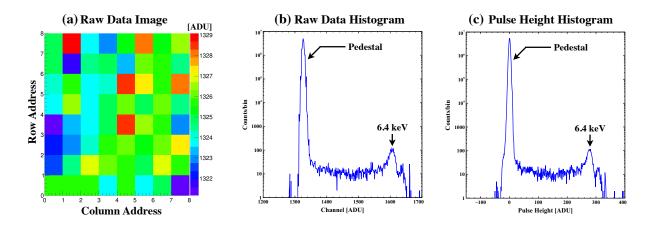


図 5.9: フレーム読み出しによる (a) 生データ出力の平均値カラーマップ。 -60° C に冷やした上で、 8×8 領域を読みだしている。(b) 生データ出力のヒストグラム。(c) ペデスタル補正後のヒストグラム。

図 5.9 (a)、(b) に XRPIX6bD でフレーム読み出しをした際の、生データ出力のカラーマップとヒストグラムを示す。このように X 線が入射していない場合でも、出力値は 0 ではなく ~ 1340 になっている。ペデスタル成分を補正するため、本修論では式 5.1 を用いる。

$$PH_{ij}(f) = RawData_{ij}(f) - \frac{1}{101} \sum_{f'=f-50}^{f+50} RawData_{ij}(f')$$
 (5.1)

PH は波高値、RawData は取得した生データ、添字の i, j はそれぞれ Column Address と Row Address、f はフレーム数を表す。f 番目のフレームに対して、ピクセル毎に前後 50 フレームの平均値を求め、その値をペデスタルとして差し引いている。ピクセル毎にペデスタル補正を行うため、ピクセル毎のばらつきを補正できることに加え、前後 50 フレームの出力平均を取るため周期的に変動するようなノイズ成分を打ち消すことが出来る。

ペデスタル補正後のヒストグラムを図 5.9 (c) に示す。図 5.9 (c) のペデスタルピークの幅は、X 線が入射していない時の出力揺らぎであるので、直にノイズ成分を見ていると考えられる。そこで、ペデスタルピークをガウシアンでフィットし、その標準偏差 σ_R を「読み出しノイズ」と定義する。

チャージシェアリングイベントの補正

XRPIX のようなピクセル検出器では、空乏層内で発生した一次電子雲が読み出しノードに到達するまでに広がり、複数のピクセルにまたがってしまうチャージシェアリングイベントが存在する。このイベントは特に、読み出しノードが存在する表面側から離れた裏面付近で電荷が発生した場合に起こりやすい。チャージシェアリングイベントは複数の読み出しノードで電荷が収集されるため、入射した X 線のエネルギーを正しく見積もるためには、解析時にそれらの電荷を足し合わせる必要がある。図 5.10 にチャージシェアリングを補正する際に行うイベントセレクションの手順を示した。

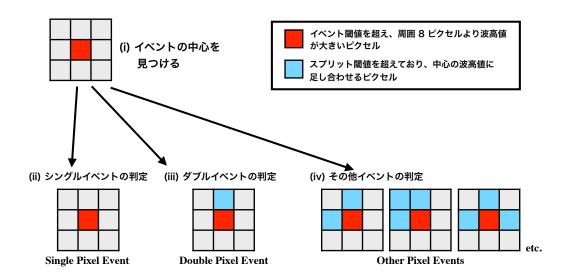


図 5.10: イベントセレクションの関係図。

(i) イベントの抽出

あるピクセルに着目した際に、そのピクセルの波高値が周囲8ピクセルの波高値よりも高く、なおかつ予め設定したイベント閾値(特に記載のない場合、読み出しノイズの10倍に設定)を超えていた場合、X線による中心イベントと判断する。

(ii) シングルイベントの判定

イベント中心に隣り合う上下左右4つのピクセルの波高値が、予め設定したスプリット関値(特に記載のない場合、読み出しノイズの3倍に設定)を超えない場合、そのイベントを「シングルピクセルイベント」と判定する。これは、X線により作られた電荷が1つのピクセルに収まったイベントだと考えられる。

(iii) ダブルイベントの判定

イベント中心に隣り合う上下左右4つのピクセルのうち、1つのピクセルの波高値のみがスプリット閾値を超える場合、そのイベントを「ダブルピクセルイベント」と判定する。これは電荷が広がり、2ピクセルにまたがったイベントだと考えられる。ダブルピクセルイベントの波高値は、イベント中心のピクセルの波高値と、スプリット閾値を超えたピクセルの波高値を足し合わせたものとする。

(iv) その他のイベントの判定

上記以外のイベントとして、図 5.10 の Other Events のような配置となるイベントを「Other Pixel イベント」とする。Other Pixel イベントにも含まれないような配置の場合、仮にイベント閾値を超えていたとしても、そのイベントは X 線によるものではないと判定を行う。

5.2. 基本性能試験 57

5.2 基本性能試験

5.2.1 センサーのダイオード特性

X線による性能評価を行う前に、XRPIX6bD の空乏層における逆バイアスのダイオード特性を調べる実験を行った。pn 接合にバックバイアス電圧を印加すると、低い電圧の間は電流がほとんど流れない。しかしバックバイアス電圧を上げていくと、ある電圧(降伏電圧)で急激に電流が流れ始める。この状態で動作させてしまうと、電流の流れすぎで素子が破損してしまう(e.g., エレクトロマイグレーション)。降伏電圧は、ドーピング濃度など様々なパラメータに依存して変化するため、予め実際に調べておく必要がある。

今回、XRPIX6bDの裏面から電圧 V_b を印加して、GNDと V_b 間を流れる電流の量をソースメータを用いて調べた。 V_b 及び温度を変化させながら、電流値を測定した結果を図 5.11 に示す。この時、ミドルシリコンの電圧は-1 V に設定している。図 5.11 より、少なくとも V_b < 400 V では降伏電圧に到達していないことがわかる。そのため、 V_b < 400 V までであれば、降伏現象が起こらず実験することが出来る。これ以上 V_b を印加することは、絶縁破壊を起こす可能性も考えられるため、安全性を考慮して行わない。

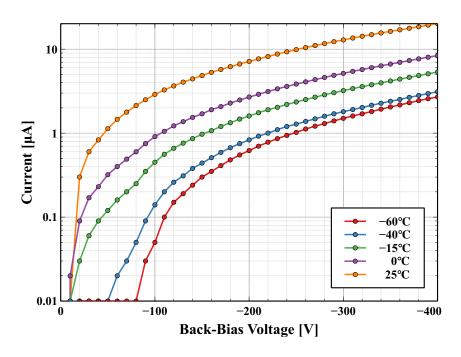


図 5.11: XRPIX6bD の I-V 特性。横軸にバックバイアス電圧、縦軸にその時流れていた電流値をプロットしている。

5.2.2 空乏層厚の測定

XRPIX6bD の評価としてまず、空乏層が裏面付近まで広がる電圧 (完全空乏化電圧) を調べる。空乏層厚を測る簡単な方法は、検出器に X 線を照射して、バックバイアス毎に検出されたイベント数を測定する方法である。空乏層が広がっているうちは、検出される

イベント数が増えていくが、空乏層が広がりきるとイベント数が一定になる。この一定になった時のバックバイアス電圧を完全空乏化電圧だと考える。

XRPIX6bD の完全空乏化電圧を調査するために、線源 57 Co からの X 線を表面より照射した。実験条件はフレーム読み出し、露光時間 12 ms で 50 万フレームのデータを $^{-60}$ °C で取得している。図 $^{5.12}$ (a) に実際に取得したスペクトルの一例を示す。単色の X 線を検出すると、本来ならそのエネルギーを中心としたガウス分布になるはずである。しかしながら、検出器の電荷収集効率に問題があり、全ての電荷を収集しきれない場合、スペクトルは単純なガウス分布ではなく低エネルギー側にテールを持ったスペクトルになってしまう。XRPIX6bD では、このテール成分が顕著に見えてしまっている。XRPIX6bD でテールが出来てしまう要因の詳細な検討は節 $^{5.6.1}$ で行う。

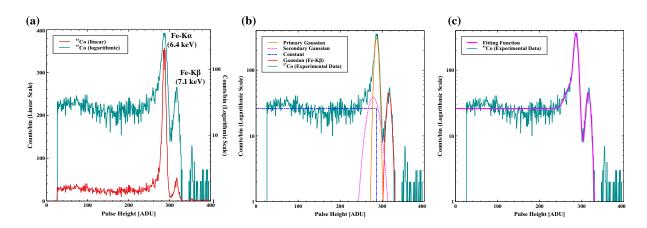


図 5.12: (a) XRPIX6bD で取得した $V_b = -60$ V の時の 57 Co のスペクトル、(b) フィットに使用するモデル、(c) フィットした結果。

5.2.3 3成分モデルを用いたフィット

完全空乏化電圧を調査するために、得られたスペクトルから X 線イベントのカウント数を求める必要がある。図 5.12 (a) に示したようなテールを持つスペクトルではよく、3つの成分で構成した関数を用いてフィットが行われる (e.g., [33])。

Primary 成分

Primary 成分は、入射 X 線によって生じた電荷を漏らさず収集できたイベントによって 形成されると考えられる。そのスペクトルは統計的な性質によりガウス分布となるため、 単一 gaussian でフィットできる。

Secondary 成分

Secondary 成分は複数ピクセルに電荷が広がることが原因だと考えられている。電荷が複数ピクセルに広がってしまうチャージシェアリングイベントを考慮するため、節 5.1.2 で述べたイベントセレクションを用いた補正を行なっている。この補正は、スプリット閾値という解析上設定した値を用いて、電荷が複数ピクセルにまたがっているかを判定して

いる。そのため実際は、電荷が周囲のピクセルに漏れ出しているにも関わらず、スプリット閾値以下であったためにイベントの解析から除外される場合がある。こうしたイベントを集めると Primary 成分より低いところにピークを持つ Secondary 成分が形成される。

Constant 成分

Constant 成分は、X線によって発生した電荷雲の一部を収集できないことで生じると考えられる。検出器内に、電場が弱いなどの理由で電荷収集しづらい領域がある場合、その領域に生じた電荷の一部は露光時間内に収集できない。この場合、収集できなかった電荷の分だけ、実際のエネルギー波高値より低く見積もってしまう。これは、電荷雲がどの位置で発生したかに依るため、エネルギーには関係なく一定の Constant 成分として検出される。

上記の 3 成分モデル + 7.1 keV の gaussian を用いて取得したスペクトルをフィットし、X 線イベントのカウント数をバックバイアス電圧毎に調べた。図 5.13 に測定結果を示す。X 線のカウント数が $V_b \le -65$ V でほぼ一定になっており、空乏層が裏面付近まで到達したことが示唆される。以上のことから、XRPIX6bD で性能評価を行う際には、空乏層が裏面付近まで広がりきったと思われる電圧 $V_b = -70$ V を基準に行う。ミドルシリコンに印加する電圧は、特に記載がない場合 $V_{ms} = -1$ V に固定している。

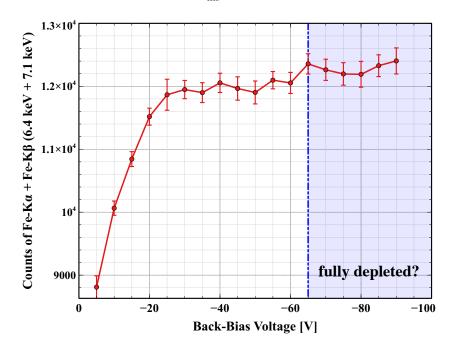


図 5.13: Fe-K α + Fe-K β のカウント数のバックバイアス依存性。

5.3 フレーム読み出しでの性能評価

節 1.3.1 で述べたように、FORCE 衛星ではハイブリッド検出器の搭載を想定している。 ハイブリッド検出器 (図 1.6) は、Si と CdTe が極めて近くに配置されるため、動作温度は それぞれ近いことが望ましい。また我々は、衛星システムや検出器システムを簡素化するために、ハイブリッド検出器をラジエータのみで冷却することを考えている。以上の事を考慮して、ハイブリッド検出器のデザインで現実的に達成できる温度 –15°C を FORCE 衛星に搭載する検出器の動作温度とする。

今までの先行研究では、より良い性能を達成するために最大限温度を下げた条件でしか評価が行われていなかった。本修論では、従来の評価条件に加え、衛星搭載時の条件でも評価を行えるよう、従来の実験温度 -60° C (恒温槽で設定できる最低温度)、FORCE 衛星搭載時の温度 -15° C、より厳しい条件 0° Cの3点で評価を進める。また以前のXRPIX素子では、表面照射(FI)と裏面照射(BI)で性能に違いが生じていたことから、XRPIX6bDでも同様にFIとBI共に評価を行う。

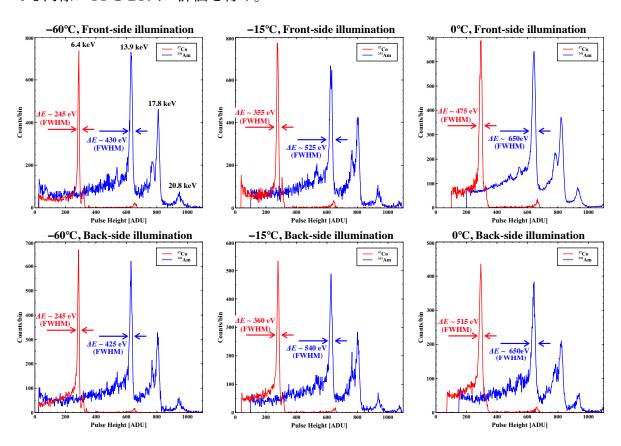


図 5.14: XRPIX6bD フレーム読み出しで取得した 57 Co と 241 Am のシングルピクセルイベントスペクトル。赤線が 57 Co、青線が 241 Am のスペクトルを表している。 8×8 ピクセル分のデータを、ゲイン補正などは行わず、そのまま足し合わせている。

図 5.14 に ⁵⁷Co と ²⁴¹Am 線源からの X 線を照射した際の、XRPIX6bD のシングルピクセルイベントのスペクトルを示す。最適なピクセル構造の中から、8×8 ピクセル領域を選び読み出しを行なっている。いずれの条件においても、スペクトルの取得に成功した。FI とBI で大きな性能の差は見られておらず、スペクトル性能は過去最高性能であった XRPIX3b に匹敵している。動作温度を上げて行くと、スペクトル性能が少しずつ悪化している。これはリーク電流が温度上昇と共に、増加することが原因の一つだと考えられるが、詳細な検討は行えておらず今後行う。

5.4 軟 X 線性能評価

節 5.3 で、フレーム読み出しでの X 線スペクトル取得に成功した事を述べた。XRPIX6bD の性能は過去最高性能に匹敵するものであり、より詳細な評価が求められる。そこで我々は、FORCE 衛星に搭載する上で重要な評価項目である、軟 X 線に対する性能評価を XRPIX6bD 素子で行なった。

5.4.1 軟 X 線性能評価のセットアップ

高エネルギーの X 線と違い、軟 X 線は大気中で吸収される割合が多い。そのため大気中で軟 X 線の性能評価を行う事は困難である。我々は軟 X 線に対する性能評価を行うために、真空状態で実験を行える、多色蛍光 X 線較正システムを用いた。図 5.15 に実験で用いたセットアップを示す。多色蛍光 X 線較正システムは、多色 X 線発生部 (真空槽 1) と XRPIX 設置部 (真空槽 2) が繋ぎ合わさった形になっている。測定部を、ドライ真空ポンプ (アネスト岩田製) とターボ分子ポンプ (大阪真空機器製作所製) の 2 種類を用いて真空引きを行う事で、 10^{-6} Torr の真空度を下回る環境で試験を行える。



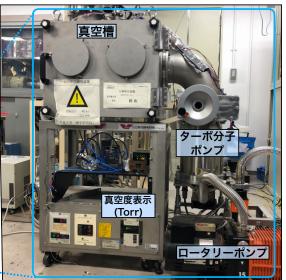


図 5.15: 軟 X 線性能評価に使用するセットアップ。多色 X 線発生部 (真空槽 1) と XRPIX 設置部 (真空槽 2) を繋ぎ合わせたような形になっている。

多色蛍光 X 線較正システム内部の模式図を図 5.16 に示した。 X 線発生装置 (Oxford 5000 シリーズ) からの 1 次 X 線を 2 次 X 線ターゲットに照射する事で、 XRPIX に 2 次ターゲットからの蛍光 X 線を照射する事が出来る。 2 次ターゲットは回転ステージに取り付けられているため、真空引きされた状態のまま、別の 2 次ターゲットに変更する事も可能である。素子の冷却には岩谷瓦斯のクライオミニを用いる。 コールドヘッドの先に、厚み 5 mmの銅で作成したコールドプレートを接続して、素子のパッケージごと冷却を行う。

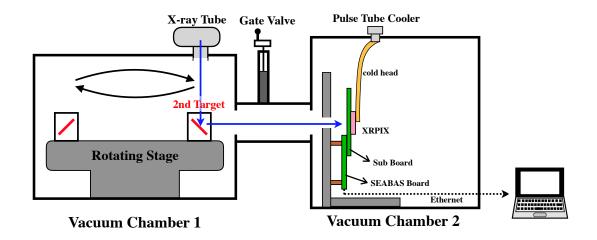


図 5.16: 軟 X 線性能評価セットアップの概念図。

SDD を用いた予備実験

XRPIX6bD で軟 X 線性能評価をするにあたって、節 5.1.1 と同様に、予め SDD を用いた予備実験を行う。図 5.17 に SDD で取得した軟 X 線スペクトルを示す。

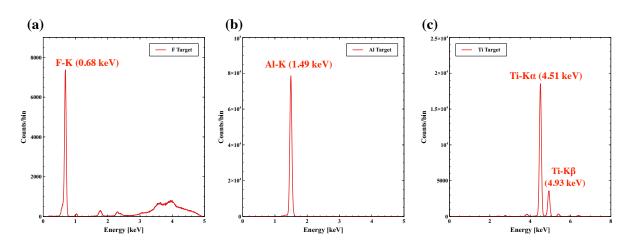


図 5.17: SDD で取得した軟 X 線のスペクトル。(a) F ターゲット、(b) Al ターゲット、(c) Ti ターゲット。

5.4.2 XRPIX6bD の軟 X 線スペクトル性能

フレーム読み出しを用いて XRPIX6bD の軟 X 線性能評価を行なった。実験の条件は、節 5.3 と同じくバックバイアス電圧 $V_b = -70$ V、ミドルシリコンの電圧 $V_{ms} = -1$ V で行う。図 5.18 に XRPIX6bD で取得した軟 X 線のシングルピクセルイベントのスペクトルを示す。今回、XRPIX シリーズで初めて F (0.68~keV) の輝線の検出に成功した。また $\text{Ti-K}\alpha$ と $\text{Ti-K}\beta$ の輝線を分離できた事も、XRPIX6bD 素子が初である。この結果を達成できた主な要因には、1. エネルギー分解能が過去最高に良かった、2. 読み出しノイズを下げられた (節 5.4.3) ことで今までノイズに埋もれていた輝線を分離できた、等が考えられる。

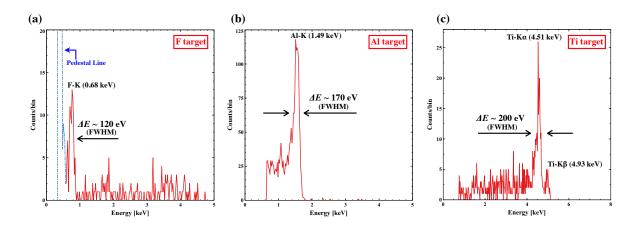


図 5.18: XRPIX6bD で取得した軟 X 線のシングルピクセルイベントスペクトル。(a) F ターゲット、(b) A1 ターゲット、(c) Ti ターゲット。いずれも 8×8 ピクセル分のデータを、そのまま足し合わせている。

5.4.3 ゲインと読み出しノイズ

今までに得られたシングルピクセルイベントの結果を用いて、エネルギー較正を行なった。エネルギー較正は、各X線スペクトルの輝線をガウシアンでフィットして中央値を求め、それらの結果を一次関数でフィットして行う。その際用いた一次関数の傾きから、素子のゲインを算出できる。図 5.19 (a) にX線エネルギーと波高値の対応関係を示す。データ点の内、0.68 keV は F、1.49 keV は Al、4.51 keV は Ti、6.4 keV は 57 Co、13.9 keV と 17.8 keV は 241 Am で得られた結果である。図 5.19 (a) より、低エネルギーから高エネルギー帯域まで良い線形性がある事が確認できる。

このフィット結果を用いて、XRPIX6bD の素子ゲインを算出した。ここで素子ゲインとは、X線により生成された電子 1 個が何 V の電圧に変換されたかを示す値である。1 ADU = 488 μ V、Si の平均電離エネルギー ε_{Si} = 3.65 × 10⁻³ keV/e⁻ であり、ADC の前段に設置した読み出しボード上のアンプ (INA103) の増幅率が 1.8 であるため、素子自体のゲインは以下の式で計算できる。

素子のゲイン
$$[\mu V/e^-]$$
 = フィットの傾き×488×3.65×10⁻³/1.8 (5.2)

式 5.2 から、XRPIX6bD の素子ゲインを求めると 45.1 μ V/e $^-$ となる。この値は XRPIX3b の 17.8 μ V/e $^-$ [34] から、大幅に向上している。

今回と同様の結果が、同じ SOIPIX グループで開発されている素子 INTPIX で報告されている [35]。INTPIX には読み出し回路は全く同一で、構造のみ (Single SOI 構造と Double SOI 構造の 2 種類) を変更した INTPIX8 という素子が存在する。INTPIX8 を評価した結果、Double SOI のチップ出力ゲインが Single SOI の約 3 倍あることが分かった。INTPIX8 では、読み出し回路の初段に CSA 回路を用いている。CSA 回路では、理想的には増幅率がフィードバックキャパシタの容量のみで決まる。しかし実際には、回路等に寄生容量が存在する。寄生容量がフィードバックキャパシタと並列に入ることで、フィードバックキャパシタの実効的な容量が増え、回路の増幅率が低下してしまう。INTPIX8 では、Double SOI 構造を採用したことで回路とセンサー間の寄生容量が切れ、ゲインが向上したと結論

づけている。我々の素子 XRPIX6bD と XRPIX3b も、共に読み出し回路の初段に CSA 回路を用いている。そのため、XRPIX6bD 素子が XRPIX3b 素子に比べゲインが大幅に向上しているのは INTPIX8 同様、Double SOI 構造を採用したことで回路とセンサー間の寄生容量を削減することが出来たためだと考えられる。

求まったゲインを元に、XRPIX6bD の読み出しノイズを算出する。フレーム読み出しでは、ペデスタルピークをガウシアンでフィットして、その標準偏差を読み出しノイズと定義している (節 5.1.2)。XRPIX6bD で読み出しノイズを計算した結果、 $13.1 e^-$ となった。この結果を歴代の XRPIX シリーズと比較する。図 5.19 (b) に XRPIX シリーズでの読み出しノイズと素子ゲインの関係をプロットしたものを示す。XRPIX シリーズで見られていた直線の関係に、XRPIX6bD の結果も乗っており、XRPIX6bD の読み出しノイズが低いのは素子ゲインが高いためだと推測できる。

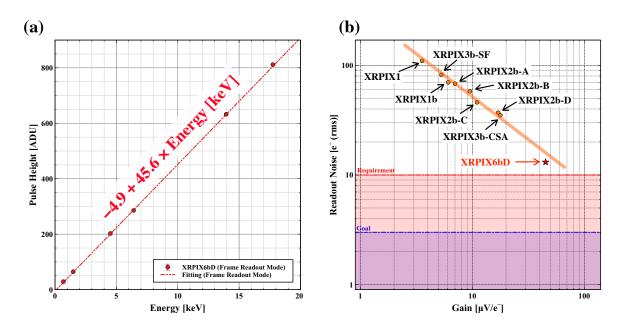


図 5.19: (a) XRPIX6bD フレーム読み出しでの、X 線エネルギーと波高値の関係。エラーバーは 1σ の統計誤差を表している。(b) 読み出しノイズと素子ゲインの関係。

5.5 イベント駆動読み出しでの性能評価

上節で XRPIX6bD のフレーム読み出しでの性能評価に関して述べた。 XRPIX6bD のフレーム読み出しでの性能は過去最高性能に匹敵しており、軟 X 線に対する応答も、F の初検出や $\text{Ti-K}\alpha$ と $\text{Ti-K}\beta$ の初分離など優れていることを述べた。本節では、イベント駆動読み出しの評価に移る。

5.5.1 イベント駆動読み出しでの X 線データ解析方法

イベント駆動読み出しでは、ペデスタルの解析方法が、フレーム読み出しとは異なる。 フレーム読み出しでは、ピクセル毎に前後50フレームの出力平均を取り、ペデスタルと 定義していた。イベント駆動読み出しの場合、X線が入射したピクセル(とその周囲8×8ピクセル)しか読み出しを行わない。そのため、各フレーム毎に読み出すピクセルが異なり、フレーム読み出しのような方法でペデスタルを求めることは出来ない。そこでイベント駆動読み出しでは、各フレーム毎に8×8ピクセルの生データの中央値を取り、その値をペデスタルとして採用する。つまり、各フレーム毎に

$$PH_{ij}(f) = RawData_{ij}(f) - Median(f)$$
(5.3)

を計算して、波高値とする。PH は波高値、RawData は取得した生データ、添字の i, j は それぞれ Column Address と Row Address、f はフレーム数を表す。しかし、この方法では フレーム読み出しの際には補正できていた、ピクセル毎のペデスタルのばらつきを補正できていない。イベント駆動における解析方法の改善は、今後進めていく。

波高値を計算した後は、フレーム読み出しと同じ解析(チャージシェアリングの補正等)を行なっている。

5.5.2 イベント駆動読み出しでの X 線スペクトル

イベント駆動読み出しで、XRPIX6bD の性能評価を行う。実験条件はフレーム読み出し と同じく、バックバイアス電圧 $V_b = -70$ V、ミドルシリコンの電圧 $V_{ms} = -1$ V、温度は -60° C、 -15° C、 -0° C の 3 点で行なっている。

図 5.20 に XRPIX6bD イベント駆動読み出しで取得した、シングルピクセルイベントのスペクトルを示す。いずれの条件においても、X 線スペクトルの取得に成功した。XRPIX3b ではイベント駆動読み出しでのエネルギー分解能が、フレーム読み出しに比べて著しく悪化するという問題 (図 4.11) があった。しかし、XRPIX6bD のイベント駆動読み出しでは、XRPIX3b ほど大きな性能悪化は見られていない。今回 XRPIX6bD のイベント駆動読み出しで達成した 6.4 keV で 345 eV (FWHM) は、XRPIX シリーズの中で過去最高の性能である。

図 5.20 で得られたスペクトルを用い、イベント駆動読み出しでの素子ゲインを求める。図 5.21 (a) に XRPIX6bD の X 線エネルギーと波高値の対応関係を示す。我々の以前の素子である XRPIX2b や XRPIX3b ではイベント駆動で動作させた際に、回路層とセンサー間の干渉が原因で、大きなオフセットが乗っていた [27, 30]。しかし、XRPIX6bD では図 5.21 (a) にあるように、イベント駆動読み出しで大きなオフセットは見られない。XRPIX3b 素子等で見られていた大きなオフセットが見られなくなり、なおかつイベント駆動でのエネルギー分解能も向上していることから、XRPIX6bD で採用した Double SOI 構造はトリガー回路とセンサー間の干渉の大幅な抑制に成功したと言える。

図 5.21 (a) のフィット結果から、XRPIX6bD のイベント駆動における素子ゲインを計算すると $43.8\,\mu\text{V/e}^-$ となる。フレーム読み出しでの素子ゲインは $45.1\,\mu\text{V/e}^-$ であったので、イベント駆動とフレーム読み出しの結果に違いがある。この理由には、フレーム読み出しとイベント駆動読み出しで解析方法が異なっている事や、完全には干渉が抑制できていない事などが考えられるが、原因は今のところ分かっていない。この原因について調査することも今後の課題である。

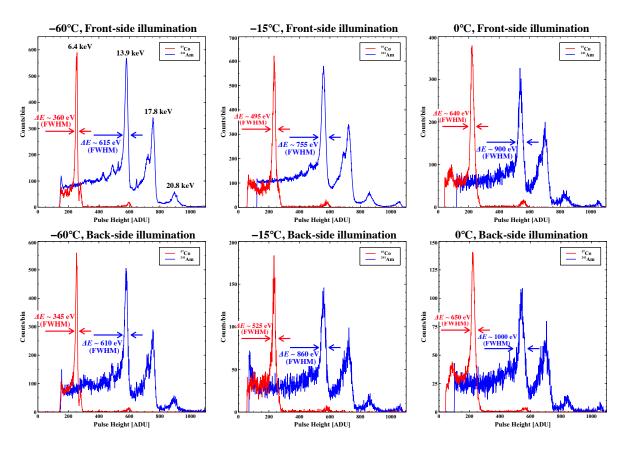


図 5.20: XRPIX6bD イベント駆動読み出しで取得した 57 Co と 241 Am のシングルピクセルイベントスペクトル。赤線が 57 Co、青線が 241 Am のスペクトルを表している。 8×8 ピクセル分のデータを、そのまま足し合わせている。

次に、XRPIX6bD のイベント駆動読み出しにおける読み出しノイズを求める。イベント駆動読み出しの場合、X線が入射した時のみ読み出しを行うため、フレーム読み出しのように X線が入射していない時の出力から読み出しノイズを求めることは出来ない。同時に読み出しを行なっている周辺ピクセルから読み出しノイズを求める方法も考えられるが、それでは実際にトリガー回路が動作したピクセルの読み出しノイズとは言えなくなる。そこで今回は式 2.14 を用いて、実験で得られたエネルギー分解能の結果から読み出しノイズを逆算して求める。求まった値は、エネルギー分解能悪化の原因を全て読み出しノイズで説明した場合の値であるが、その他の要因でもエネルギー分解能が悪化している可能性を考慮し、上限値として採用する。

イベント駆動読み出しで達成した 6.4 keV で 345 eV (FWHM) を元に、読み出しノイズを計算すると $\leq 38 \text{ e}^-$ となる。この結果を歴代の XRPIX シリーズと比較したものを、図 5.21 (b) に示す。XRPIX3b のイベント駆動の結果から外挿される位置より、XRPIX6bD のイベント駆動読み出しの結果は大きく下に外れている。このことは、イベント駆動読み出しで素子ゲインが向上したことだけが、読み出しノイズの低減に繋がった訳ではないことを示唆している。やはり、トリガー回路とセンサー間の干渉を Double SOI 構造で抑制できたことが、読み出しノイズの低減にも繋がったと考えられる。

XRPIX6bD でイベント駆動読み出しの大幅な性能向上に成功したが、依然 FORCE 衛

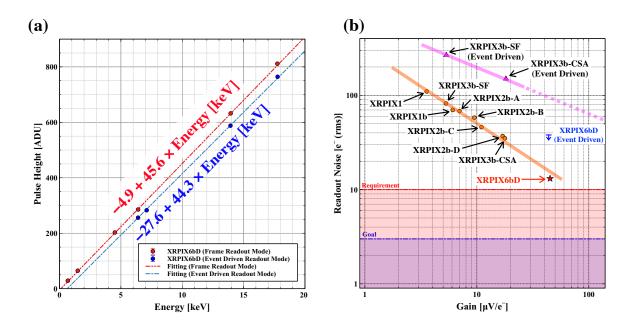


図 5.21: (a) XRPIX6bD イベント駆動読み出しでの、X線エネルギーと波高値の関係。イベント駆動の結果に併せて、フレーム読み出しの結果もプロットしている。エラーバーは 1σ の統計誤差を表している。(b) 読み出しノイズと素子ゲインの関係。

星搭載の要求性能 300 eV (FWHM at 6 keV) は満たしていない。またフレーム読み出しと同様の問題 (テール成分が見られる・温度上昇に伴い性能が悪化している) も確認できる。FORCE 衛星搭載に向けて、これらの問題は解決しなければならない。

5.6 XRPIX6bDでの問題

XRPIX6bD はフレーム読み出し、イベント駆動読み出し共に過去最高性能を達成することができた。しかし、イベント駆動読み出しでの評価実験から、主に2つの問題が存在することを発見した。1つは、フレーム読み出しでも見られていた、大きなテール成分である。もう1つは、この後で述べる電荷収集時間の問題で、こちらはイベント駆動読み出しで顕著に見られる問題である。以下で、それぞれの問題に対して検証を行う。

5.6.1 テール問題

連続的な X 線を観測する場合、検出器側の応答にテール成分が見られると、高エネルギー帯域の X 線で生じたテールが低エネルギー側に伸びてしまい、低エネルギー帯域の観測が困難になる。そのため、この問題は低エネルギー帯域(≤1 keV)の観測も行う FORCE 衛星搭載用の検出器として致命的だと言える。本節では、XRPIX6bD のテール成分の原因に関して調査を行う。

テール成分が生じる原因として、信号電荷の一部を収集できていない可能性が考えられる(節 5.2.3)。このことを検証するために、電場シミュレーションを行った。電場シミュレー

ションには、バックゲート効果のシミュレーションで用いた TCAD シミュレータ HyENEXSS 5.5 [31] を用いる。

シミュレーションは図 5.2 と同様の構造で行う。ただし、図 5.2 で回路層に設置していたトランジスタは今回の調査とは関係ないため除いている。センサー部に電子・正孔対をデポジットして過渡解析を行った。今回、電荷はピクセル境界にあたる位置にデポジットしている。図 5.22 (a) に、XRPIX6bD の X 線スペクトル性能評価で用いたバックバイアス電圧 $V_b = -70$ V での過渡解析結果を示す。シミュレーション結果より、BPW の一部が空乏化せず中性領域として残っていることがわかる。BPW にはホールが多く存在しているので、中性領域を通る経路で収集される電子は、ホールと結合して失われてしまう。これにより信号電荷の一部が失われ、スペクトルにテール成分が見られていると推測できる。

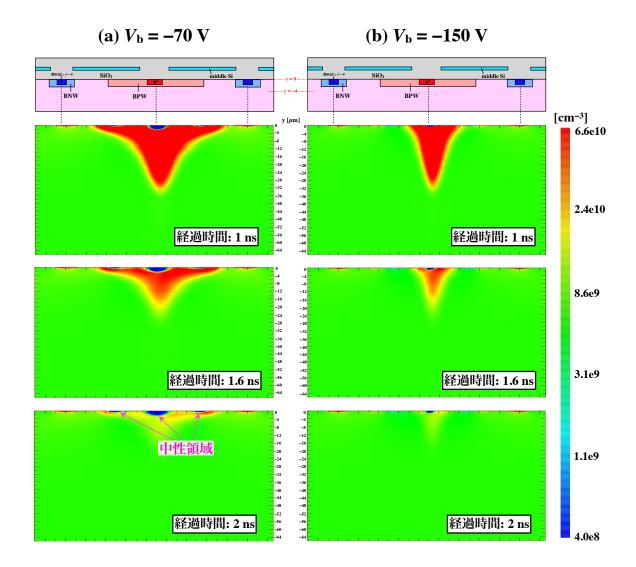


図 5.22: XRPIX6bD で過渡解析シミュレーションを行った結果。ピクセル境界にあたる位置にキャリアをデポジットして、時間経過を見ている。デポジットするキャリアは、一辺が 1 μ m の正方形になるよう広がりをもたせている (合計で電子正孔対を 500 組生成している)。(a) バックバイアス電圧 $V_b = -70$ V。(b) バックバイアス電圧 $V_b = -150$ V。カラーは XRPIX6bD の信号電荷である、電子の濃度 (cm⁻³) を表示している。

この問題を改善する方法に、バックバイアス電圧を上げることが考えられる。高いバックバイアス電圧を印加することで、より BPW 全体を空乏化できると推測できる。バックバイアス電圧を $V_b = -150$ V にしてシミュレーションを行った結果を図 5.22 (b) に示す。 $V_b = -70$ V で見られていた BPW の中性領域が減っている。つまり、信号電荷が失われにくくなっており、スペクトルのテール成分も減少することが期待できる。

実際に、XRPIX6bDを用いて実験を行ない、シミュレーション結果と比較した。図 5.23 にバックバイアス電圧を V_b = -70 V から順に上げていった際の X 線スペクトルを示す。確かに V_b を上げることでテール成分が小さくなる様子が確認できる。では、 V_b をあげて XRPIX6bD を用いれば良いかと言えば、そうではない。 V_b をあげると新たに「電荷収集時間」の問題が発生することを見つけた。

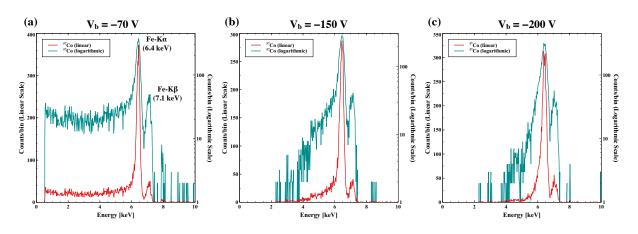


図 5.23: バックバイアス電圧を上げた時の XRPIX6bD フレーム読み出しでの X 線スペクトル。線源には 57 Co を用い、いずれもシングルピクセルイベントのスペクトルを示している。

5.6.2 電荷収集時間の問題

節 5.6.1 でバックバイアス電圧 V_b を上げることで、テール成分が小さくなることを確認した。そこで、イベント駆動読み出しでも、同様に V_b を上げる実験を行なった。図 5.24 に結果を示す。イベント駆動読み出しでは、 V_b を上げると、分光性能が悪化してしまっている。

これと同様の現象は、先行研究 [29] でも確認されており、原因の候補に電荷収集時間の遅れが挙げられている。現在のイベント駆動読み出しでは、トリガーが出力された 320 ns 後に、露光を終了 (図 4.5 の読み出し回路中の STORE を OFF にするまでの時間。以降では T_{STORE} と定義する) している。言い換えれば、X 線によって信号電荷が発生してから露光を終了する時間、すなわち T_{STORE} の間に収集できた電荷のみ読み出しを行なっている。仮に回路応答や電荷収集に要する時間よりも T_{STORE} の時間が短い場合、分光性能の悪化が見られることも考えられる。そこで、今までは 320 ns だった T_{STORE} の時間を、1 μ s、1 μ s、1 ms と延ばし X 線スペクトルの取得を行なった。 T_{STORE} ごとの X 線スペクトルを図 5.25 に結果を示す。 $V_b = -200$ V では、波高値の高い側と低い側に 2 つのピーク構

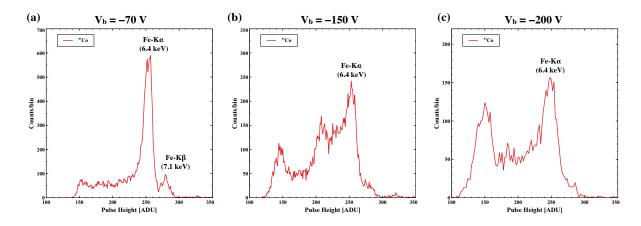


図 5.24: バックバイアス電圧を上げた時の XRPIX6bD イベント駆動での X 線スペクトル。 線源には 57 Co を用い、いずれもシングルピクセルイベントスペクトルを示している。

造が見られる。低い側のピークは T_{STORE} を長くするにつれ、波高値の高い方へシフトし、 1 ms で 1 つのピークになっている。そのため、何かしら電荷収集の遅い成分が存在している事が考えられる。また高い V_b でのみ、この問題が見られていることから、原因は回路側ではなくセンサー側であることが推測される。

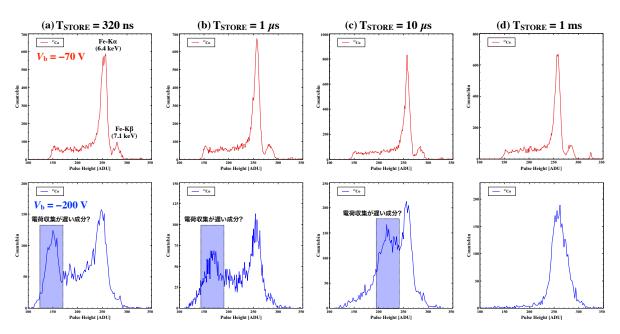


図 5.25: XRPIX6bD イベント駆動読み出しで、 T_{STORE} を変えた際のシングルピクセルイベントスペクトル。赤線は $V_b = -70$ V のデータ、青線は $V_b = -200$ V のデータにそれぞれ対応する。トリガー閾値 (V_TH – V_CDS) は 30 mV に設定している。

電荷収集時間の問題が $V_b = -70$ V では見られず、 V_b を上げた場合でのみ見られる原因を考察する。図 5.26 に $V_b = -70$ V、-150 V それぞれで電場シミュレーションを行った結果を示す。 V_b を上げると、絶縁層とセンサー層の界面に向かって突き刺さるような電場が増えている。そのためセンサー層で発生した電荷は、読み出しノードで収集されるまでに、より界面付近を経由しやすくなったと言える。一般的に Si/SiO₂ 界面では、未結合ボ

ンドによる電荷のトラップ・デトラップが生じる。XRPIX6bDでV_bを上げた際に電荷収集時間の問題が発生しているのも同様に、信号電荷が絶縁層とセンサー層の界面でトラップ・デトラップを繰り返すためではないかと推測できるが、正確には分かっておらず今後の課題である。

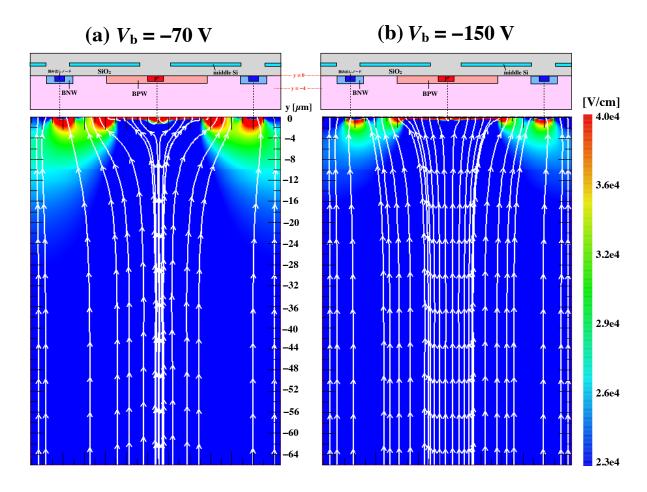


図 5.26: XRPIX6bD の電場シミュレーション。センサー層内の電場構造を表している。

5.6.3 XRPIX6bD で発見した問題のまとめ

以上のことから XRPIX6bD で見つかった問題についてまとめると、

• テール問題

バックバイアス電圧 V_b が低い時に、特に顕著に見られる。センサー層内にp型の中性領域が残り、信号電荷である電子が中性領域に存在するホールと再結合し、失われることが原因だと考えられる。

• 電荷収集時間の問題

バックバイアス電圧 V_b が高い時に、特に顕著に見られる。絶縁層とセンサー層の界面で、信号電荷がトラップ・デトラップされることが原因だと考えられる。

となる。上記の2つの問題は間接的に関連しているが、発生する原因は異なると考えている。

従来の Single SOI 構造では、バックゲート効果やセンサー層と回路層間の干渉が問題となっていた。それを解決するために導入した Double SOI 構造の XRPIX6bD では、テール問題や電荷収集時間の問題を新たに発見した。XRPIX6bD で見つかった問題は、いずれも信号電荷を Si/SiO2 界面付近を介して収集していることが原因だと考えられる。FORCE 衛星搭載に向けて、これらはいずれも解決しなければならない問題である。

第6章 PDD構造を導入した新素子 XRPIX6E

XRPIX3bで見つかった、回路とセンサー層間の干渉を抑制するために、我々は回路層とセンサー層の間にもう 1 層シリコン層を入れた Double SOI 構造の素子 XRPIX6bD を開発した。Double SOI 構造で回路とセンサー層間の干渉の抑制には成功したが、XRPIX6bD の結果から新たにテール問題・電荷収集時間の問題が見つかった。XRPIX6bD で見つかった問題はいずれも、 Si/SiO_2 界面付近に原因がある事が推測される。XRPIX3b 及び XRPIX6bD の問題を同時に解決するには、回路とセンサー層間の干渉を抑制し、なおかつ Si/SiO_2 界面に電荷が触れないようにしなければならない。

そこで我々は、共同研究者と協力し、新たに Pinned Depleted Diode 構造 (PDD 構造 [36])をもつ新素子 XRPIX6E を開発した。 PDD 構造では Si/SiO₂ 界面に BNW (センサー層に n型基板を用いている場合)を高濃度で形成し、その層をピンニングして固定電位層として用いる (図 6.1)。

本章は、査読論文である Harada et al. [37] の内容を含む。

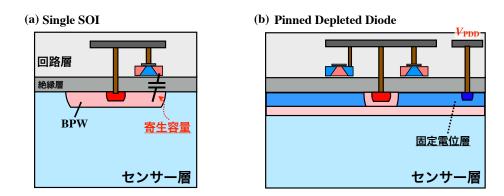


図 6.1: 従来の SOI (Single SOI) 構造と Pinned Depleted Diode 構造の比較。

6.1 XRPIX6E素子の開発

XRPIX6EはPDD構造を採用した、最新のXRPIX素子である。図 6.2にXRPIX6Eの断面図を、表 6.1に主な仕様を示す。絶縁層及びセンサー層の構造は、XRPIX6EとXRPIX6bDで違っているが、回路層は回路・レイアウト共に共通にしている。

PDD 構造の大きな特徴は、階段状に形成した BPW と BNW である。これにより、以下に述べるような様々な利点を得ることが出来る。

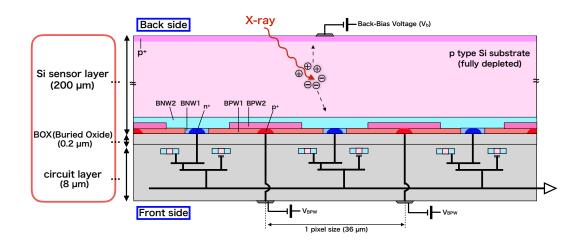


図 6.2: XRPIX6E の断面図。

表 6.1: XRPIX6E の仕様。

仕様	XRPIX6E	
チップサイズ	4.5 mm × 4.5 mm	
センサー面積	$1.7 \text{ mm} \times 1.7 \text{ mm}$	
ピクセルサイズ	$36 \mu \mathrm{m} \times 36 \mu \mathrm{m}$	
ピクセル数	48×48	
センサー層の厚み	$\sim 200~\mu\mathrm{m}$	
ウェハータイプ	P型 Floating Zone (> 25 kΩ cm)	

電荷収集効率の改善

XRPIX6bDでは、電荷を完全に収集しきれないことに起因したテール問題、Si/SiO2界面でのトラップが原因とみられる電荷収集時間の問題が見つかった。PDD構造ではBNWを階段状に形成し、濃度の薄いBNW2 (図 6.2 を参照)をピクセル一面に形成している。裏面の p^+ の領域に負の電圧を印加していくと、BNW1及びBNW2 は完全に空乏化する。BNWとBPWの境界では図 6.3 にあるように、ポテンシャルのローカルミニマムが出来るため、センサー層で発生した電荷はBNW2の部分まで垂直方向にドリフトした後、BNW2の部分を水平方向にドリフトして読み出しノードで収集される。これにより、信号電荷をBPWの中性領域及び Si/SiO2 界面に触れる事なく収集できる。つまり、XRPIX6bD で見られたテール問題と電荷収集時間の問題の 2 つ共を、PDD 構造によって解決できる。

また、BNW2を一面に形成することで、読み出しノードを小さくしても電荷の収集ができる。読み出しノードを小さくすれば、その分読み出しノードの容量も小さくなるため、電荷収集効率と変換ゲインが共に高い素子の実現も可能となる。

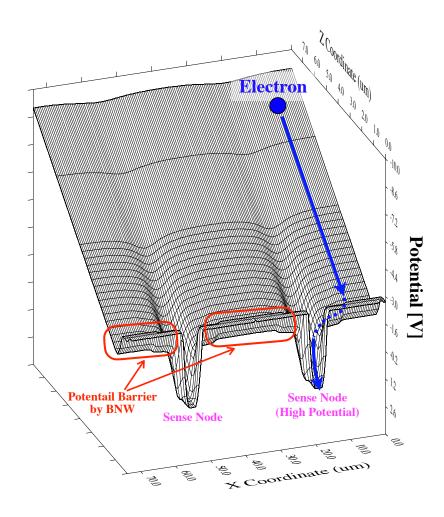


図 6.3: XRPIX6E の構造でシミュレーションを行なった際の 3 次元ポテンシャル図。シミュレーションで設定した構造は基本的に、この後で述べる図 6.4 と同じにしている。

バックゲート効果抑制

従来の Single SOI 構造では、バックゲート効果 (節 3.3) が問題となっていた。PDD 構造で、センサー層と絶縁層の界面を覆うように形成した BPW は、バックゲート効果抑制の役割も担っている。この BPW は高濃度で形成しているため、空乏化せずに中性領域として残る。そのため BPW に固定電圧 $V_{\rm BPW}$ を印加すると、この領域がシールド層として作用し、バックゲート効果を抑制できる。

実際にPDD構造でバックゲート効果が抑制されるか検証するため、シミュレーションを行った。図 6.4 に、今回シミュレーションを行ったPDDのデバイス構造を示す。各部分のドーピングプロファイルは、実際のプロセス時に使用された値を用いている。Double SOI 構造の時のシミュレーションと同じく、トランジスタを回路層部分に1つ配置して、ドレイン・ソース間に流れる電流値のシミュレーションを行う。図 6.5 に、シミュレーション結果を示す。Double SOI 構造の時と同じく、PDD 構造では電流電圧特性の変化が見られていない。従って、PDD 構造はバックゲート効果抑制に有効だと言える。

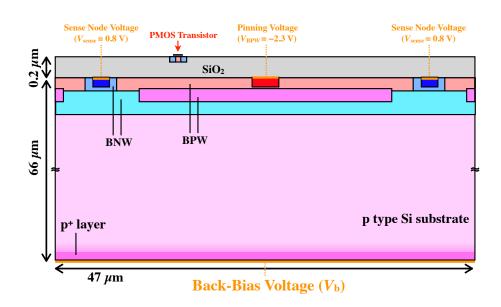


図 6.4: PDD 構造でバックゲート効果のシミュレーションを行う際に用いたデバイス構造。電極に設定した部分を太線で記入している。基本的には XRPIX6E を元に作成しているが、センサー層の厚みに関してはこれまでのシミュレーションとの整合性を考えて 66 μ m に設定した。

リーク電流の抑制

XRPIX6bD を含む従来の XRPIX では、 Si/SiO_2 の界面が電荷収集領域にむき出しの構造をしていた。 $Si \ \ SiO_2$ の界面では格子構造が不連続になるため、新たなエネルギー準位 (表面準位) が形成され、表面準位を介した熱励起によるリーク電流が発生してしまう。このリーク電流はエネルギー分解能を向上させる上で無視できず、事実 CCD 検出器ではこのリーク電流の対策のために Pinned Photodiode 構造が取られている (節 2.3.3)。

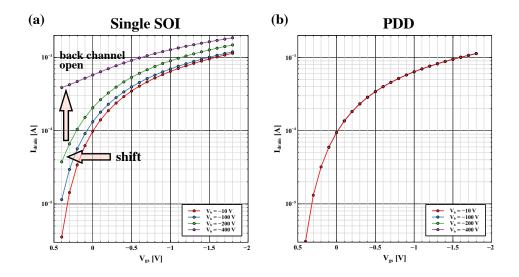


図 6.5: Single SOI と PDD でのバックゲート効果のシミュレーション結果。横軸はゲート・ソース間の電圧、縦軸はドレインに流れる電流値。バックバイアス電圧毎の結果を色を変えて示している。(a) Single SOI の結果。(b) PDD の結果。図 5.3 の Double SOI の時と同様に特性が変化していないため、バックゲート効果を抑制できている。

PDD構造では、センサー層と絶縁層の界面を覆うように BPW を形成している。Si/SiO₂ 界面で発生した電子は、BPW にあるホールによってすぐに再結合をするので、界面から生じるリーク電流を削減できると考えられる。実際に、BPW によるリーク電流低減の効果を、XRPIX と同様の構造を持つ SOIPIX-PDD [36] で確かめている。また BPW から、BNW 及び読み出しノードへのホールの流入は、図 6.3 にあるようにポテンシャル構造にバリアが出来るため、防止される。

6.2 フレーム読み出しでの性能評価

XRPIX6bD の時と同じく、 57 Co と 241 Am 線源を用いて XRPIX6E の性能評価を行なった。XRPIX6bD と条件を揃えるために、 8×8 ピクセル領域の読み出しを行う。バックバイアス電圧は $V_b = -200$ V、ピンニング部分の電圧は $V_{BPW} = -1.9$ V に設定をしている。センサー層の比抵抗は > 25 k Ω cm であるので、式 2.5 よりセンサー層は完全空乏化している。図 6.6 に、XRPIX6E で取得したシングルピクセルイベントのスペクトルを示す。いずれの条件においても、スペクトルの取得に成功した。

XRPIX6Eのスペクトルで特筆すべき点は、テール成分がほとんど見られないことである。Double SOI 構造では、図 5.14のように、大きなテール成分が存在していた。XRPIX6E では XRPIX6bD のようなテール成分が見られておらず、また FI と BI での性能に大きな差は見られない。このことは、PDD 構造が電荷収集効率に優れていることを強く示唆する結果だと言える。

また XRPIX6E では、 -60° C と -15° C で同等のエネルギー分解能が得られている。XR-PIX6bD では、 -15° C の時のエネルギー分解能が -60° C に比べ 100 eV 程度悪化していた

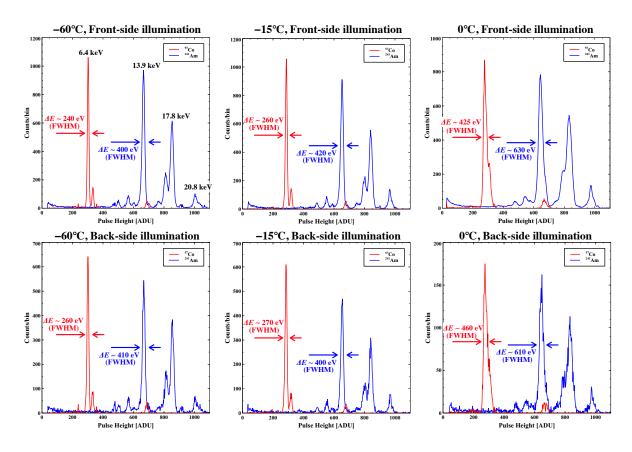


図 6.6: XRPIX6E フレーム読み出しで取得した 57 Co と 241 Am のシングルピクセルイベントスペクトル。赤線が 57 Co、青線が 241 Am のスペクトルを表している。 8×8 ピクセル分のデータを、ゲイン補正などは行わず、そのまま足し合わせている。

ので、これは大きな改善である。しかしながら、0°Cではエネルギー分解能が急激に悪化してしまっており、より詳細な調査が今後必要である。

6.2.1 フレーム読み出しでのゲイン

XRPIX6EでX線スペクトルを取得し評価した結果、-60°Cでの性能が6.4 keVで240 eV (FWHM)という、フレーム読み出しでの過去最高性能を達成した。この値は、ピクセル毎のゲインを補正せずに単純に足し合わせたものである。本節で、XRPIX6Eのゲイン及びピクセル毎のゲインの一様性を調査する。

 -60° Cで取得した X 線スペクトルを用いて、XRPIX6E のゲインを算出した。図 6.7 にエネルギー較正のフィット結果を示す。6.4 keV と 7.1 keV は 57 Co から、13.9 keV と 17.8 keV は 241 Am から得られたデータ点である。また、XRPIX6bD のフレーム読み出しでのエネルギー較正の結果も併せて記載している。

図 6.7 より、XRPIX6bD に比べ XRPIX6E のゲインが向上している事がわかる。XRPIX6E と XRPIX6bD は同じ読み出し回路を同じレイアウトで有しており、違いはピクセル構造だけである。従って、PDD 構造を採用したことで読み出しノードの容量を小さく出来たと考えられるが、単純に素子の個体差を見ている可能性も現時点では捨てきれていない。

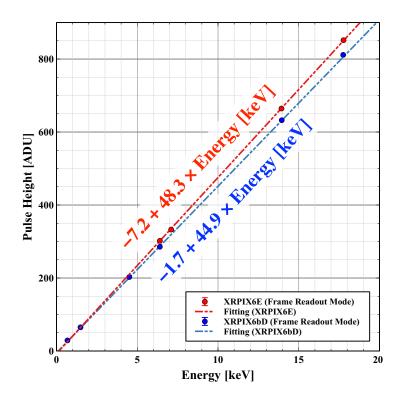


図 6.7: XRPIX6E フレーム読み出しでの、X 線エネルギーと波高値の関係図。XRPIX6bD の結果 (青) と XRPIX6E の結果 (赤) を合わせてプロットしている。エラーバーは 1σ の統計誤差を表している。

エネルギー較正の結果を用いて、XRPIX6E の素子ゲインを求めると、47.8 μ V/e⁻ となる。この値は XRPIX3b の 17.8 μ V/e⁻ から大幅に向上している。そのため Double SOI 構造と同様に、PDD 構造でも回路と読み出しノード間に存在した寄生容量 (図 6.1) を抑制できていると考えられる。

一方、XRPIX6E の値は SOIPIX-PDD でのゲインの値 70.0 μ V/e $^-$ [36] のおよそ 2/3 になっている。SOIPIX-PDD も XRPIX6E 同様に CSA 回路を読み出し回路に用いているが、2 つの素子では回路レイアウトが異なるため、主にはレイアウトの差 (CSA 回路にあるフィードバックキャパシタの違い等) でゲインに違いが生じたと推測している。

ピクセル毎のゲイン一様性

CCD 検出器と違い、ピクセル毎に電荷の増幅を行う CMOS イメージセンサーでは、増幅率のばらつきがエネルギー分解能に影響する。そこで今回、読み出しに用いた 8×8 ピクセルで、ピクセル毎のゲインを調べた。図 6.8 にフレーム読み出しで得られた、ピクセル毎のゲインのカラーマップとヒストグラムを示す。図 6.8 (b) をガウシアンでフィットした結果、ピクセル毎のゲインのばらつきは 1.5% (FWHM) と求まった。このゲインのばらつきは読み出し回路内の CSA (及び SF) の増幅率のばらつきを見ていると考えられる。このばらつきは製造上どうしても存在してしまうものだと思われる。実際、同様の読み出し回路を持つ XRPIX5b でピクセル毎のゲインばらつきを調べると 1.8% (FWHM) [38] と求まり、XRPIX6E の結果と概ね一致している。

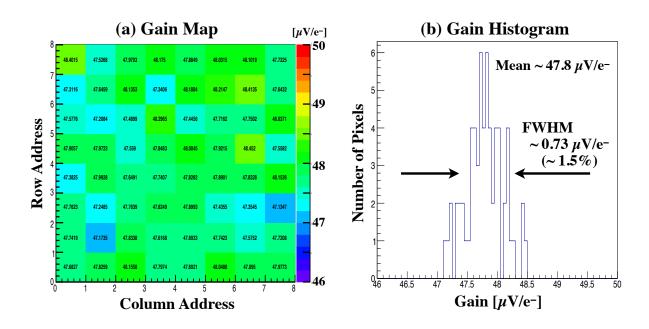


図 6.8: フレーム読み出しで得られたピクセル毎のゲイン。(a) ピクセル毎のゲインカラーマップ。(b) ピクセル毎のゲインヒストグラム。

6.3 イベント駆動読み出しでの性能評価

節 6.2 で、フレーム読み出しでの X 線スペクトル取得に成功し、過去最高のエネルギー分解能を達成した事を述べた。本節では、イベント駆動読み出しの性能評価を行う。実験条件はフレーム読み出しと同じく、バックバイアス電圧 $V_b = -200$ V、ピンニング部分の電圧 $V_{BPW} = -1.9$ V に設定をしている。温度は -60° C、 -15° C、 -0° C の 3 点で、表面照射と裏面照射の両方でデータを取得している。図 6.9 に、XRPIX6E で取得したシングルピクセルイベントのスペクトルを示す。

まず初めに -60°C、表面照射でのエネルギー分解能が 6.4 keV で 225 eV (FWHM) を達成した。これは過去最高性能であった XRPIX6bD のイベント駆動の結果 345 eV (FWHM) を大幅に上回る結果である。FORCE 衛星搭載に求められる要求性能は 6 keV で 300 eV (FWHM) であったため、XRPIX6E で初めて要求を満たしたことになる。XRPIX6E と XRPIX6bD は、同一の読み出し回路を有しており、違いはピクセル構造だけである。そのため、XRPIX6E と XRPIX6bD の性能の差はセンサー部で生じていると考えられる。先行研究では、PDD 構造の導入によって、従来の SOI 構造に比ベリーク電流を 1/100 程度に抑制できた事が報告されている [36]。この結果をもとに考えると、XRPIX6E が XRPIX6bD に比ベエネルギー分解能が良いのは、リーク電流の抑制に成功したためだと推測できるが、より詳細には今後検証を行う。

また、イベント駆動読み出しのエネルギー分解能 225 eV はフレーム読み出しの 240 eV よりも良い値である。この理由として、次の 2 つを考えている。1 つ目は、リーク電流の蓄積量の違いである。フレーム読み出しでは、X線入射の有無に関わらず常に 1 ms 露光しているが、イベント駆動読み出しでは X線を検出後すぐ(トリガーを出力した 320 ns 後)に露光を終了している。そのため、イベント駆動読み出しの方が一般的に露光時間が短

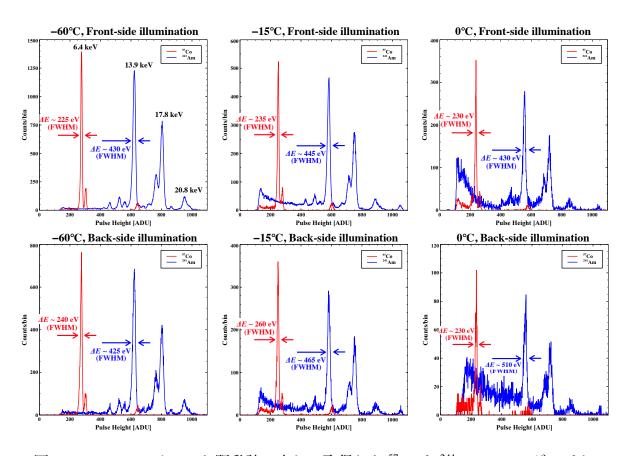


図 6.9: XRPIX6E イベント駆動読み出しで取得した 57 Co と 241 Am のシングルピクセルイベントスペクトル。赤線が 57 Co、青線が 241 Am のスペクトルを表している。 8×8 ピクセル分のデータを、ゲイン補正などは行わず、そのまま足し合わせている。 T_{STORE} は 320 ns に設定している。

く、その分蓄積されるリーク電流の量も小さくなる。2つ目は、電荷収集時間の違いである。イベント駆動読み出しでは、X線を検出してから320 ns後に露光を終了するため、信号電荷の収集時間が常に同じになる。一方、フレーム読み出しでは電荷収集時間にばらつきがある。XRPIX6bDのように電荷収集時間に依存して、スペクトルが変化してしまう場合「、フレーム読み出しでは全ての足し合わせを見ていることになるので、性能が悪くなる。イベント駆動読み出しがフレーム読み出しに比べエネルギー分解能が優れているのは、これら2つの効果によるものではないかと推測している。

次に温度毎の性能に着目する。XRPIX6Eイベント駆動読み出しでは、各温度で同等の性能を達成出来ている。動作温度を上げても変わらず優れた性能が得られる事は、ラジエータのみでの冷却を考えている FORCE 衛星搭載用の検出器として、非常に重要な結果だと言える。しかし、温度を上げていくと -60°C ではほとんど見られなかったテール成分が発生している。この原因は分かっておらず、現在調査中である。

3つ目に、表面照射と裏面照射の性能に関して述べる。以前の素子 (例えば XRPIX5b)では、裏面照射でのエネルギー分解能が表面照射に比べ 100 eV 以上悪化していた [38]。この結果は、裏面照射にした際の電荷収集効率が悪いため生じていたと考えられている。

¹XRPIX6E に関する、電荷収集時間の問題は節 6.3.1 で述べる。

XRPIX6Eでは、例えば -60°Cでは、表面照射と裏面照射に 10 eV 程度の性能差しか見られない。従って、XRPIX6Eは XRPIX5bに比べ裏面照射にした際の電荷収集効率が良いことが予想できる。

6.3.1 XRPIX6Eでの電荷収集時間の問題

XRPIX6bD で発見したテール問題は、PDD 構造を導入した XRPIX6E で改善することができた。では、XRPIX6bD で判明したもう一つの問題、電荷収集時間に関して XRPIX6E ではどうなったか。電荷収集時間が遅い原因として推測した Si/SiO₂ 界面でのトラップは、PDD 構造を採用したので起こり得ないはずである (節 6.1)。そこで、XRPIX6bD と同様に、イベント駆動読み出しでトリガーが出力されてから露光を終了するまでの時間 (T_{STORE})を320 ns、1 μ s、10 μ s と変更して実験を行なった。

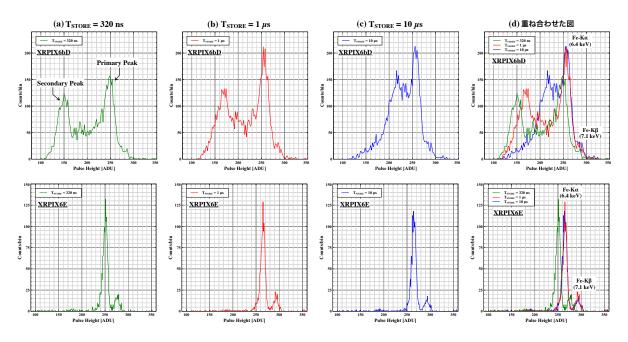


図 6.10: XRPIX6E イベント駆動読み出しで T_{STORE} を変えた際のシングルピクセルイベントスペクトル (下図)。 XRPIX6bD の結果も併せて示している (上図)。 いずれも温度は -60° C、バックバイアス電圧は $V_b = -200$ V、トリガー閾値 (V_{-} TH $-V_{-}$ CDS) は 30 mV に設定している。

図 6.10 に T_{STORE} を変えた際のシングルピクセルイベントのスペクトルを示す。この結果より、XRPIX6E では XRPIX6bD で見られた電荷収集時間の問題を大幅に改善している。従って、XRPIX6bD で発見したテール問題及び電荷収集時間の問題を、PDD 構造を導入することで想定通り改善することに成功した。しかし、図 6.10 (d) の重ね合わせた図で確認できるように、XRPIX6E では T_{STORE} = 320 ns と T_{STORE} = 1 μ s とでピークのシフトが見られる。この理由は現状わかっていないが、XRPIX6bD で T_{STORE} を変えた際のスペクトルを再度確認すると、XRPIX6bD の primary peak の位置が T_{STORE} = 320 ns と T_{STORE} = 1 μ s 間で XRPIX6E と同程度シフトしている。そのためピクセル構造には依存していないと思われ、読み出し回路の特性を見ているのではないかと予想できる。

現状、我々は信号電荷の読み出しに ~ $285\,\mu s$ を要している 2 。XRPIX6bD では T_{STORE} を 1 ms にしなければ、きちんとした波形を読み出せなかったが、XRPIX6E では長くとも 1 μs 待てば良い。XRPIX6E の 1 μs という値は、読み出しに要する時間 $285\,\mu s$ よりも十分 短い。そのため重大な問題とは言えないが、より詳細にデバイスを理解していくために も、今後、回路シミュレータを用いて検証を行う。この後の評価では、以上のことを踏まえ T_{STORE} を $1\,\mu s$ に変更して実験を行う。

6.3.2 イベント駆動読み出しでのゲインと読み出しノイズ

XRPIX6E のイベント駆動読み出し ($T_{STORE} = 1 \mu s$) で得られたスペクトルを用い、エネルギー較正を行う。図 6.11 (a) に X 線エネルギーと波高値の対応関係を示す。フレーム読み出しとイベント駆動読み出しで大きな違いは見られず、Double SOI 構造と同様に (節5.5.2) PDD 構造でも、トリガー回路とセンサー間の干渉の抑制に成功したと言える。図 6.11 (a) のフィット結果から、XRPIX6E イベント駆動における素子ゲインを求めると 47.6 μ V/e となる。求まったゲインをもとに、XRPIX6E イベント駆動読み出しにおける読み出しノイズを計算する。XRPIX6bD の時と同様に、イベント駆動読み出しで得られたエネルギー分解能 6.4 keV で 225 eV (FWHM) から読み出しノイズを計算すると、 \leq 22.6 e となる。図 6.11 (b) に、歴代の XRPIX と比較した結果を示す。XRPIX3b のイベント駆動の結果から外挿される位置より、XRPIX6E の結果は大きく下に外れている。素子ゲインの向上だけでは読み出しノイズの減少分を説明できないため、この結果からも、PDD 構造ではトリガー回路とセンサー間の干渉が抑制できていると考えられる。

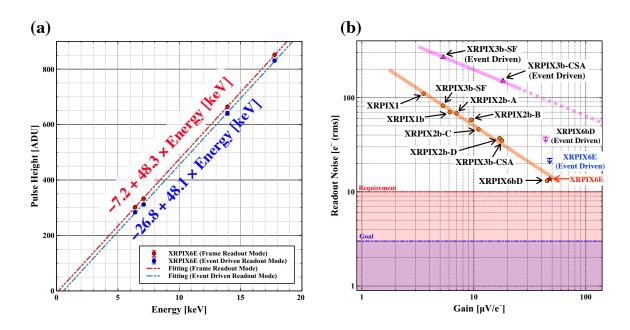


図 6.11: (a) XRPIX6E イベント駆動読み出しでの、X線エネルギーと波高値の関係。イベント駆動の結果に併せて、フレーム読み出しの結果もプロットしている。エラーバーは1σの統計誤差を表している。(b) 読み出しノイズと素子ゲインの関係。

²低速で読み出しを行なっており、最適値では無い。

6.3.3 イベント駆動読み出しでのピクセル毎のエネルギー分解能

XRPIX はピクセル毎にゲインのばらつきが存在していた。より正確に評価を行うためには、ピクセル毎にゲインを求め、そのゲインを用いてエネルギー分解能を算出する必要がある。図 6.12 に XRPIX6E イベント駆動読み出しで得られたピクセル毎のゲインを示す。図 6.12 (b) をガウシアンでフィットし、ゲインのばらつきを求めた結果 1.7% (FWHM) と求まった。この結果は、XRPIX6E フレーム読み出しでのゲインのばらつき 1.5% (FWHM) と概ね一致している。

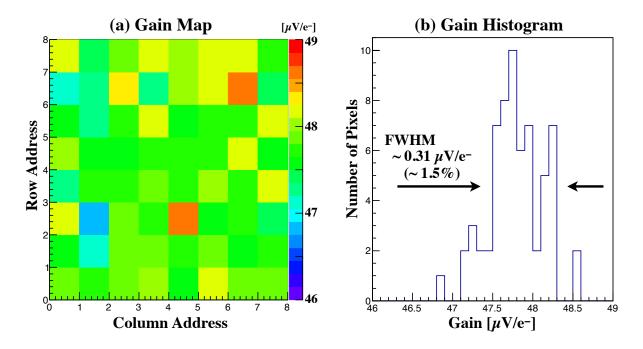


図 6.12: イベント駆動読み出しで得られたピクセル毎のゲイン。(a) ピクセル毎のゲインカラーマップ。(b) ピクセル毎のゲインヒストグラム。

ピクセル毎に求まったゲインを用いて、エネルギー分解能を計算した。図 6.13 (a) にピクセル毎に求めたエネルギー分解能のカラーマップを示す。いずれのピクセルも 6.4 keVで \leq 200 eV (FWHM) を達成しており、優れた性能を実現できている。特に優れた 1 ピクセルを抽出して、X 線スペクトルを示すと図 6.13 (b) になる。このピクセルでは、6.4 keVで 140 eV (FWHM) を達成している。1 ピクセルの結果ではあるが、この値は CCD 検出器 (表 2.3) に匹敵する性能である。140 eV の値を用いて読み出しノイズを計算した結果を図 6.14 に示す。この読み出しノイズは 1 ピクセルだけで導出しているので、ピクセル毎のゲインのバラつき等が含まれておらず、よりピクセル自身のノイズを見ていると考えられる。

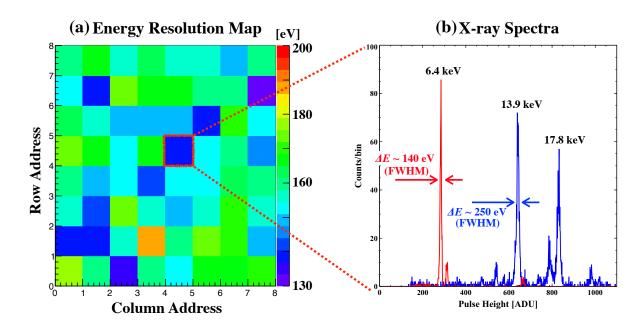


図 6.13: XRPIX6Eイベント駆動読み出しにおけるピクセル毎のエネルギー分解能。 -60° C、表面照射、シングルピクセルイベントの結果を示している。(a) ピクセル毎のエネルギー分解能のカラーマップ。6.4 keV での FWHM の値を用いて作成している。(b) 特に優れていると思われる 1 ピクセルでの X 線スペクトル。

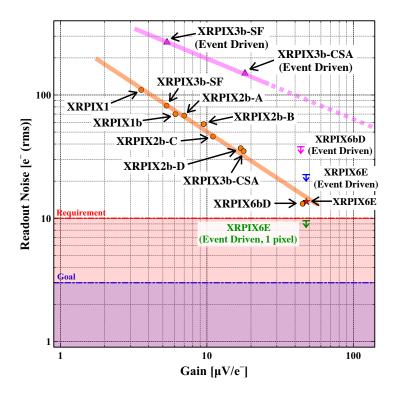


図 6.14: 読み出しノイズと素子ゲインの関係に、XRPIX6E の 1 pixel でのイベント駆動読み出しの結果を加えた図。他の結果は 8×8 ピクセルを足し合わせて求めた結果であるので、単純に比べることは出来ないが、これまでの図との繋がりを考え、併せて示している。

第7章 XRPIX6Eにおける暗電流問題

XRPIX3bで見つかった回路とセンサー間の干渉の問題、そして XRPIX6bD で発見したテール問題及び電荷収集時間の問題を一度に改善するため、我々は Pinned Depleted Diode 構造を導入した最新素子 XRPIX6E を開発した。XRPIX6E を評価した結果、いずれの問題も改善することに成功し、イベント駆動読み出しで 225 eV (FWHM at 6.4 keV) という過去最高性能を実現した。

優れた性能を達成した XRPIX6E であるが、我々は PDD 構造特有の新たな問題に直面した。それが本章で述べる「暗電流問題」である。

7.1 暗電流問題の発見

XRPIX6E は合計で48×48 ピクセルを有している。今までは XRPIX6bD との比較しやすさを考え、8×8 ピクセルのみを読み出し評価を行なったが、これ以降は暗電流問題を詳細に調査するため、全てのピクセルを読み出して評価を行う。また、信号電荷の読み出しには、フレーム読み出しを用いる。図 7.1 にバックバイアス電圧毎に取得した、XRPIX6Eの生出力を示す。

XRPIX6E は電子収集型の素子である。信号電荷である電子を収集すると、最終的な出力値がプラス方向に振れるよう動作をさせている。図 7.1 より、バックバイアス電圧 V_b によって振る舞いが大きく異なっていることがわかる。まず、バックバイアス電圧 V_b = -10 V では周囲に青い領域 (以降では領域 (i) とする)、中心に赤い領域 (以降では領域 (ii) とする)が見られる。領域 (ii) の出力値を抽出したところ、どのピクセルも値が 4095 であった。我々は、アナログ信号をデジタル信号に変換するために 12-bit ADC を用いている。そのため、4095 というのは ADC の最大チャンネルであり、領域 (ii) では ADC が変換できる最大電圧 (1 V) を上回る出力がされていることになる。節 5.1.2 より XRPIX の標準的なペデスタルの値が 1340 だとした場合、チャンネル = 4095 にするために必要な電子の量を換算すると、

$$(4095 - 1340) / 48.3 / 0.00365 \sim 5700 e^{-}$$
 (7.1)

となる。計算には、XRPIX6E フレーム読み出しでのエネルギー較正の結果 (図 6.7) 及び Si の平均電離エネルギー $\varepsilon_{Si} = 3.65 \times 10^{-3} \text{ keV/e}^-$ を用いている。6.4 keV の X 線で発生する電子の数は ~ 1750 個であるので、領域 (ii) に流入している電子の数が \geq 5700 個というのは異常な程に大きい。

一方、周囲の領域 (i) での出力は~1400で一定の値となっていた。いずれのピクセルも同じ値を出力しているので、領域 (i) は何かしらの電位に張り付いていることが考えら

れる。また、この領域 (i) を検証したところ、X線や可視光に感度を持たない不感領域であった。

次に、バックバイアス電圧 $V_b = -30$ V での結果を確認する。 $V_b = -30$ V では $V_b = -10$ V に比べて赤い領域が広がり、その中心に新たに青い領域が発生している。 $V_b = -30$ V で見られる赤い領域は $V_b = -10$ V の時と同じもの (領域 (ii)) であるが、中心に新たに現れた青い領域は $V_b = -10$ V で周辺部に見られた青い領域 (領域 (i)) とは異なるものである。新たに現れた青い領域 (以降では領域 (iii) とする) では、出力値が一定ではなくピクセル毎にばらつきが見られる。この領域 (iii) では X 線や可視光を検出でき、この点も $V_b = -10$ V で周辺部に見られた領域 (i) とは違う特徴である。

バックバイアス電圧 V_b を -200 V にすると、全面が青い領域になっている。この領域は $V_b = -30$ V で中心部に見られていた、領域 (iii) が広がったもので、X 線が検出できる領域である。つまり、 $V_b = -200$ V でようやく全面で X 線検出を行えるようになった。第6章で XRPIX6E の評価を、 $V_b = -200$ V で行なっていたのはこれが理由である。

バックバイアス電圧が低い時は出力が異常に高い領域と不感領域が発生し、X線を検出するためにはバックバイアス電圧を上げなければいけない、というこの問題を「暗電流問題」と名付け調査を行なった。

暗電流問題をまとめると、図7.2の3領域に分けられる。

• 領域 (i): 不感領域

この領域は、どのピクセルも一定の値(~1400)を出力している。ピクセル毎にばらつきがないため、何かしらの電位に張り付いている可能性が予想される。

• 領域 (ii): 暗電流が多い領域

この領域にあるピクセルは、ADCの最大値 4095 を出力している。XRPIX6E でこの 出力値に達するには、電子の数が 5700 個以上必要である。そのため非常に大量の電 子が、どこからか供給されていると考えられる。

● 領域 (iii): X 線に感度がある正常な領域

X線に感度がある領域である。この領域で取得した X線は、第6章で述べてきたように、非常に優れた性能を示しているので、正常に動作していると考えられる。

7.2 暗電流問題の調査

この暗電流問題は、今までに類似した問題が見つかっていないため、全ての現象が未知である。そのため原因の特定に向け、印加電圧の変更・温度の変更・レーザーを用いた領域毎の検証など、実に数百通りにわたって測定条件を変えながらデータを取得し、考察を行った。その結果、明らかにすることが出来た特徴をまとめ、以下で述べる。

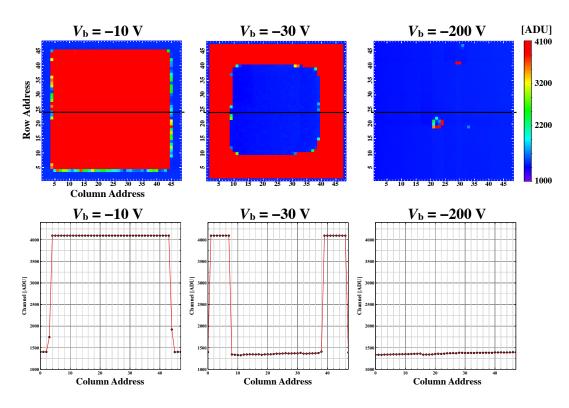


図 7.1: バックバイアス電圧 V_b 毎の出力値。ペデスタルの補正等は行なっておらず、XRPIX から出力される生データを表示している。データ取得中、X 線や可視光等は一切照射していない。上図: 全面をフーレム読み出しで取得した際の、出力平均の 2 次元マップ。 V_b = -200 V で見られる赤い部分は、バットピクセルである。下図: 2 次元マップに引いた黒線部分の値を抽出してプロットしたもの。

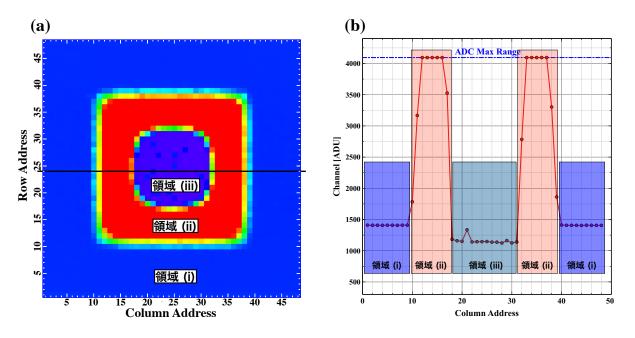


図 7.2: 暗電流問題を領域別に分類した図。(a) 出力の 2 次元マップ。カラーバーは図 7.1 と共通である。(b) 2 次元マップに引いた黒線部分の値を抽出してプロットしたもの。

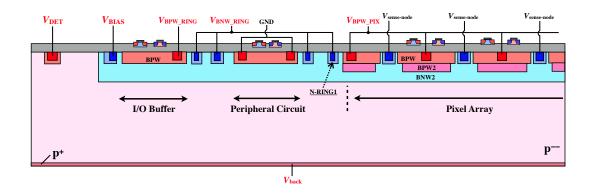


図 7.3: 周辺構造まで含めた XRPIX6E の断面図。赤文字で記している部分は外部から電圧を印加しており、変更することが可能である。これまでの実験では $V_{\rm DET}=V_{\rm back}$ 、 $V_{\rm BIAS}=V_{\rm BNW\ RING}=+1\ {\rm V}$ 、 $V_{\rm BPW\ RING}=-3\ {\rm V}$ に設定をしていた。

7.2.1 XRPIX6E の周辺構造

XRPIX6Eで見られる暗電流問題は、図 7.2 のように上下左右で対象的な振る舞いを見せている。この結果は、ピクセルアレイ部ではなく、その外側に配置した周辺部から強い影響を受けていることを示唆している。周辺構造まで含めた XRPIX6E の断面図を図 7.3 に示す。ピクセルアレイの周囲を多重に形成した n 型のリングが取り囲み、さらに外側をp型のリングが取り囲むという複雑な構造をしている。BNW2 を周辺部にまで形成しているのは、BNW2 を空乏化させることで、BPW から基板に向かって大きなホール電流が流れてしまうのを防ぐためである。

図 7.3 にあるように、ピクセルアレイのすぐ周りに n型のリング (N-RING1) を形成している。このリングは、プラス電圧 (e.g., $V_{\text{BNW,RING}} = +1$ V) を印加して使用する。 $V_{\text{BPW,PIX}}$ と $V_{\text{BNW,RING}}$ 間で十分な電位差を生じさせ、 $V_{\text{BPW,PIX}}$ を空乏化させる事が、この $v_{\text{BPW,PIX}}$ での役割である。ただ、この $v_{\text{BPW,PIX}}$ でがピクセルアレイ端からの距離が v_{PM} と大変近くに形成をしている。そのため、この $v_{\text{BPW,PIX}}$ ではるいかと予想を立てた。

7.2.2 実験 1: 周辺部に印加する電圧を変更

もしn型リングが影響を与えているのであれば、n型リングに印加している電圧 $V_{\rm BNW,RING}$ を変更すれば、暗電流問題の振る舞いが変化するはずである。図 7.4 に $V_{\rm BNW,RING}$ を変更した際の実験結果を示す。 $V_{\rm BNW,RING}$ を変更すると、暗電流問題の振る舞いが変わることを確認した。振る舞いとしては $V_{\rm BNW,RING}=3$ V で全面が不感領域になってしまっているので、 $V_{\rm BNW,RING}$ を上げていくほど問題が深刻になる傾向が見られる。

次に、それぞれの領域で出力されているアナログ信号を、オシロスコープを用いて確認を行った。今回実験で用いたのは Tektronix 社製オシロスコープ MDO3054¹である。図7.5 に領域毎のアナログ出力波形を示す。この結果より、領域(i)、領域(ii) いずれも出力

¹https://jp.tek.com/oscilloscope/mdo3000-mixed-domain-oscilloscope

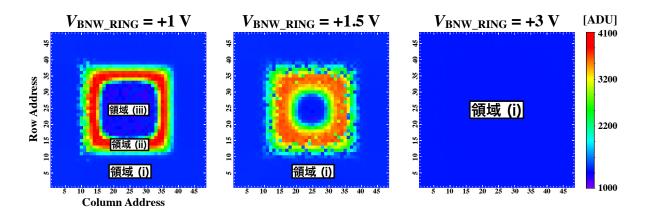


図 7.4: 周辺部の n 型リングに印加する電圧 $V_{\rm BNW,RING}$ を変化させた際の暗電流問題の変化。実験条件は、室温、 $V_{\rm back}=-10$ V、 $V_{\rm BPW,RING}=-3$ V、 $V_{\rm BPW,PIX}=-1$ V、積分時間 = 1 μ s で行なっている。 $V_{\rm BNW,RING}$ を上げるほどに、正常な領域 (領域 iii) が少なくなっている。

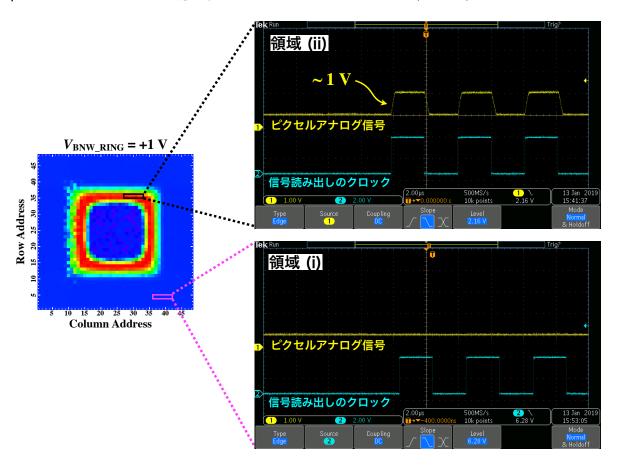


図 7.5: オシロスコープで取得した XRPIX6E のアナログ出力波形。図 A.1 での最終出力にあたる SIG の電圧を測定している。アナログ信号が領域 (ii) では ~ 1 V、領域 (i) では ~ 0 V で一定なことがわかる。

電圧が一定であることがわかる。領域 (i) では出力が 0 V で一定なので、GND に張り付いている可能性が考えられる。

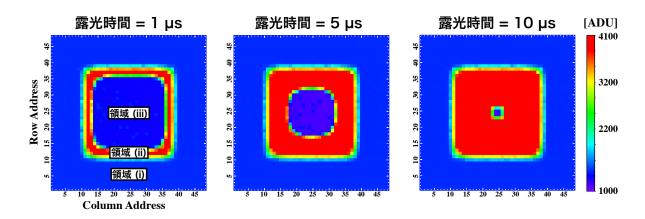


図 7.6: 露光時間を変化させた際の暗電流問題の変化。実験条件は、室温、 $V_{\text{back}} = -10 \text{ V}$ 、 $V_{\text{BNW-RING}} = 1 \text{ V}$ 、 $V_{\text{BPW-RING}} = -3 \text{ V}$ 、 $V_{\text{BPW-PIX}} = -1.5 \text{ V}$ で行なっている。

7.2.3 実験 2: 露光時間を変更

次に、フレーム読み出しを行う際の露光時間を変更して、暗電流問題の時間的な変動を調査した。図 7.6 に露光時間を $1\,\mu$ s、 $5\,\mu$ s、 $10\,\mu$ s と変えた時の出力の $2\,\nu$ 欠元マップを示す。露光時間を変えたところ、領域 (i) には変化が見られなかったが、領域 (ii) では大きな変化が見られた。領域 (ii) では露光時間を長くすると、外側から内側に向かって徐々に赤い領域が広がっている。この結果は、初めのうちは外側部分に電子が供給されていたが、時間経過とともに内側に電子が供給されるようになったことを意味している。また、この現象の変化のタイムスケールは μ s オーダーであるので、電気的にショートして発生しているわけではないと推測できる。

7.3 暗電流問題の原因の考察

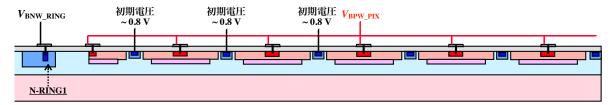
7.3.1 XRPIX6EとSOIPIX-PDDの違い

節 7.2 で調査した暗電流問題の原因を考察していくにあたって、この調査結果の他に、もう一つ参考にできる事がある。それが XRPIX6E と同様の構造を持つ素子 SOIPIX-PDD [36] である。SOIPIX-PDD では、XRPIX6E のような暗電流問題は見られていない。そのため、XRPIX6E と SOIPIX-PDD を比較して考えていく事が、暗電流問題を理解するための鍵となる。

表 7.1 に、XRPIX6E と SOIPIX-PDD の主な違いについてまとめた。まず XRPIX6E と SOIPIX-PDD ではセンスノード電位が大きく異なる。これは CSA 回路に使用している電源 (図 4.6 での V_{DD}) の違いである。XRPIX6E では CSA の電源に 1.8 V 系を使用し、SOIPIX-PDD では 3.3 V 系を使用している。これによって XRPIX6E ではリセット時のセンスノード電位が 0.8 V、SOIPIX-PDD では 2.0 V になる。

次に大きな違いとして、BN6の有無が上げられる。図 7.7 に XRPIX6E と SOIPIX-PDD それぞれの断面図を示す。SOIPIX-PDD ではセンスノードの下にもう一層 BNW (BN6) を形成しているが、XRPIX6E では BN6を形成していない。XRPIX6E で BN6を形成しなかっ

(a) XRPIX6E



(b) SOIPIX-PDD

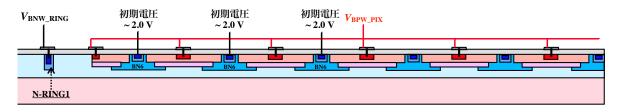


図 7.7: XRPIX6E と SOIPIX-PDD の断面図。

たのは、センスノード容量を小さくして S/N 比を上げるためである。図 7.8 に BN6 の有無のみを変えて行なったシミュレーション結果を示す。センスノード直下に該当するポテンシャル井戸の幅が BN6 の有無によって変わっている。この幅はセンスノード容量に比例すると考えられ、BN6 を抜いた方がセンスノード容量を小さくできると推測できる。

また上記以外に、ピクセルエリアの面積やn型リングの幅が異なっていることも確認した。

7.3.2 暗電流問題の原因

不感領域が発生する理由

初めに、XRPIX6Eで不感領域(領域(i))が生じる理由を考察する。領域(i)の電位は図7.5よりGNDに張り付いている。このことから、本来なら収集されるはずの電子が、逆に流れ出しているのではないか、と我々は推測している。XRPIX6Eで読み出し回路の初段に用いているCSA回路は、いわば高ゲインの反転増幅器である。本来なら電子を収集してプラス方向に信号の増幅を行うが、逆に電子が流れ出してしまうとマイナス方向に増

	XRPIX6E	SOIPIX-PDD
センスノード電位	0.8 V	2.0 V
n型リングの幅	12.2 μ m	$2.6 \mu \mathrm{m}$
ピクセルエリア	$1.72 \text{ mm} \times 1.72 \text{ mm}$	$0.64 \text{ mm} \times 0.64 \text{ mm}$
BN6の有無	無し	有り

表 7.1: SOIPIX-PDD と XRPIX6E の主な違い。

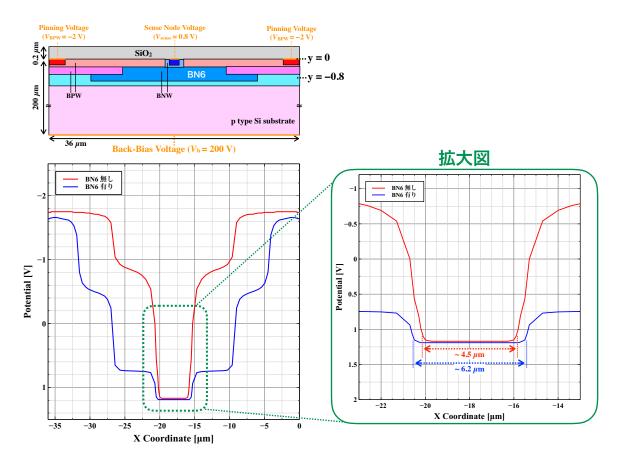


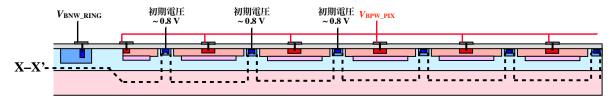
図 7.8: BN6 形成の有無によるポテンシャルの違い。上図にシミュレーションで設定した基本構造を示す。この構造をもとに、BN6 を形成しなかった場合と、BN6 を形成した場合のポテンシャル分布をシミュレーションしている。ポテンシャルは y = -0.8 の断面で表示をしている。

幅されてしまう。その結果、電位がGNDに振り切れてしまい、出力が0Vで固定されて見えるのだと考えている。

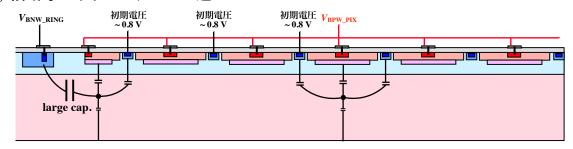
図 7.9 に推測されるポテンシャル分布を示す。XRPIX6E では設計時に想定したポテンシャル分布 (青線) にはなっておらず、実際には図 7.9 (c) で示したようなポテンシャル分布になっていると予想した。XRPIX6E ではピクセルアレイの周囲を n 型のリングが囲っている。BPW 下を空乏化するため、リングにはプラスの電圧をかけて動作をさせているが、リングの電位によって、ピクセル部の電位が影響を受けプラス方向に引っ張られていると考えている。センスノードの電位に比べ、n 型リングに印加している電圧の方が大きく、電子にとってはポテンシャルが低いので、電子はリングの方へと流れ込んでしまう。節 7.2.2 で、n 型リングに印加する電圧を大きくすると不感領域が広がることを述べた。これは n 型リングの電位が大きくなることで、よりピクセル部がプラス電位の影響を受けやすくなったと解釈できる。

この推測を裏付ける証拠は他にも存在する。SOIPIX-PDD では暗電流問題は生じていない。SOIPIX-PDD ではセンスノード電位が $2.0\,\mathrm{V}$ なので、XRPIX6E の $0.8\,\mathrm{V}$ と比べ電子が流れ込むかどうかの閾値に $1.2\,\mathrm{V}$ の差がある。また、SOIPIX-PDD では n 型リング (図 $7.7\,\mathrm{O}$ N-RING1) の幅が $2.6\,\mu\mathrm{m}$ と XRPIX6E の幅 $12.2\,\mu\mathrm{m}$ に比べ大幅に小さい。N-RING1 の

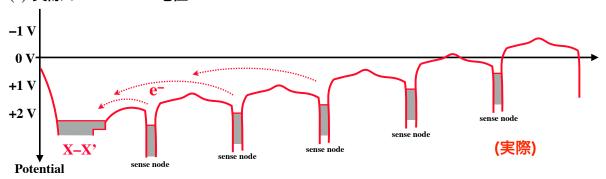
(a) XRPIX6E の断面図



(b) 領域毎のキャパシタンスの違い



(c) 実際の XRPIX6E 電位



(d) 設計時の想定電位

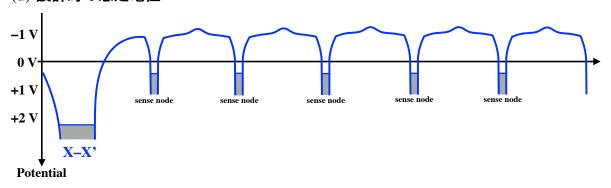


図 7.9: 暗電流問題の原因を推測した図。(c) と (d) はいずれも、XRPIX6E の断面図 (a) に引いた X_-X での電位を見ている。

幅が大きくなると、その分ピクセルアレイ周辺部に大きなキャパシタンスが存在することになり(図 7.9 (b))、より N-RING1 の影響を受けやすくなると推測できる。

周辺部と中央部で振る舞いが異なる理由

不感領域は、周囲のn型リングによってピクセル部の電位が影響を受け、電子が流れ出すことで生じていると上記で述べた。では、図 7.2 のように周辺部と中央部で振る舞いが異なるのはなぜだろうか。これは、領域毎にキャパシタンスが異なるためだと予想した。XRPIX6Eでは、ピクセルアレイの周囲に大きな幅のn型リングを形成している。そのためn型リングと距離が近い、ピクセルアレイ周辺部では大きなキャパシタンスが存在していることが考えられる。n型リングからの距離が離れるほどキャパシタンスは小さくなるため、図 7.9 (c) のように周辺部と中央部で電位が異なっていると推測できる。

バックバイアス電圧を大きくすると問題が解決する理由

XRPIX6E は、バックバイアス電圧 V_b を大きくすると暗電流問題が改善していき、 V_b = -200 V だと全ピクセルが正常に動作する。この理由は V_b を大きくすることで、BPW 下の空乏化電位が下がるためだと推測できる。図 7.10 にバックバイアス電圧毎の XRPIX6E ポテンシャル分布のイメージ図を示す。 V_b に高い負電圧を印加していくと、ピクセル部の BPW 下の空乏化電位は徐々に下がっていく。その結果、センスノードに影響を与えないような電位まで下がると問題が解消され、正常に動作すると考えられる。

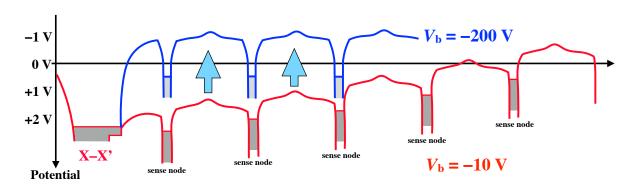


図 7.10: バックバイアス電圧 V_b によるポテンシャル変化の推定図。 V_b を大きくすることで、ポテンシャルが設計時の想定電位に近づくと推測している。

暗電流が多い領域が存在する理由

XRPIX6Eには、どこからか電子が大量に流れ込み飽和する領域 (領域 (ii)) が存在していた。この原因として、センスノード電位をリセットした際にボルツマン分布に従って周囲に拡散した電荷が、電場に沿ってある特定のピクセルに流れ込んでいるのではないかと推測しているが、詳細にはわかっていない。

7.3.3 暗電流問題の原因のまとめ

最終的に、暗電流問題の主原因が次の2点にあると結論づけた。

- (i) ピクセルアレイ周囲に形成した n 型のリング
- (ii) センスノードの電位 (XRPIX6E では 0.8 V なのに対し、SOIPIX-PDD では 2.0 V)

暗電流問題を解決する最も単純な方法は、SOIPIX-PDDのレイアウトをXRPIXでも取り入れることである。しかし、この方法は衛星搭載用の検出器としては避けたい事情がある。XRPIX6Eではアナログ回路の電源に1.8 V系を使用しているが、SOIPIX-PDDでは3.3 V系を使用している。SOIPIX-PDDのように3.3 V系を使用すればセンスノード電位を~2.0 Vに出来るが、1.8 V系を使用する場合に比べ消費電力が大きくなることが考えられる。また、我々が素子制作を行なっているラピスセミコンダクタ(株)では、3.3 V系で使用するトランジスタの方が1.8 V系に比べゲート酸化膜が厚く、そのため軌道上で放射線損傷の影響を受けやすい。放射線がゲート酸化膜で作る電子・正孔対のうち、移動度の大きい電子はすぐ回収されるが、移動度の小さい正孔は酸化膜中に取り残され、結果的に酸化膜がプラスに帯電してしまう。その結果、トランジスタの特性が劣化する。

第8章 PDD構造の改良

第7章で、XRPIX6Eでの暗電流問題の調査及び考察を行なった。その結果、ピクセルアレイ周囲に形成したn型リングとセンスノード電位が暗電流問題の主要な要因だと結論づけた。暗電流問題を解決するには、読み出し回路の電源を3.3 V 系にしてセンスノード電位を上げることが効果的である。しかし、衛星搭載用の検出器としては読み出し回路の電源は1.8 V 系のままにしておきたい。そこで我々は、読み出し回路の電源は1.8 V 系にしたまま、暗電流問題を解決できる新たなPDD 構造を提案する。

8.1 新たなPDD構造の提案

図 8.1 に我々が提案する新たな PDD 構造を示す。また、従来の PDD 構造と今回提案する PDD 構造の比較を図 8.2 に示す。主な変更点を順に説明する。

(i) BNW2 をピクセル部のみに留める

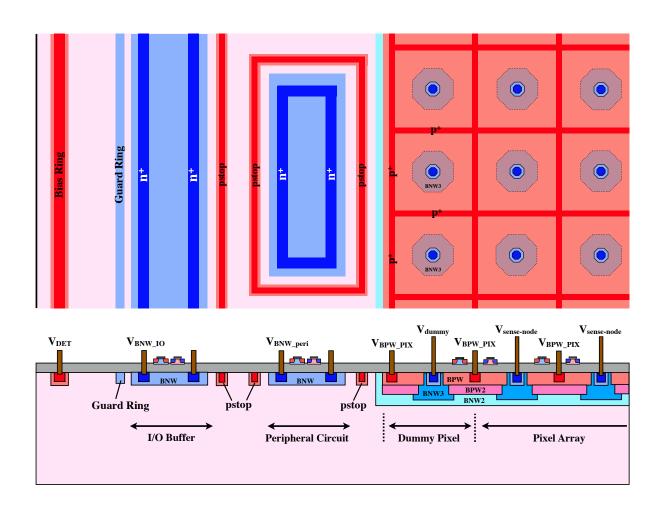
XRPIX6Eでは、素子一面に BNW2 を形成していたため、周辺部の電位等が BNW2 を通じてピクセル部に影響を与えやすい構造であった。そこで BNW2 をピクセル部のみに形成することにする。

(ii) ダミーピクセルを導入する

新しい PDD 構造では、ピクセルアレイ周囲に形成していた n 型のリングを除いている。そのためピクセルアレイ外側からの影響は少なくなると推測できる。一方、BNW2 をピクセル部のみに留めたことで、BNW2 の端で生じる大きな電場 (図 8.7 参照) が外周のピクセルに影響を与えることも考えられる。そこで一番端のピクセルにダミーピクセルを導入する。ダミーピクセルに印加する固定電圧を調整することで、ピクセル内部へ影響が及ぶことを抑制する (通常は $V_{\text{sense-node}} = V_{\text{dummy}}$ で使用する)。

(iii) pstop を形成する

節 7.3.3 で、トランジスタの酸化膜が放射線によってプラスに帯電することを述べた。これは当然、センサー層と回路層を分離している絶縁層でも起こりうる。我々が使用するセンサー基板 (p型) は、空乏層を広げやすくするため不純物濃度が非常に小さい (式 2.5 参照)。そのため、絶縁層が正に帯電すると、絶縁層に接する Si の表面では n型の反転層が生じてしまう。この効果により、本来は繋がって欲しく無い箇所 (例えば、BNW2 と周辺回路部に形成している BNW) が導通してしまい、誤作動を起こす危険性がある。そこで濃い p型半導体 (pstop) を間に形成することで、導通することを防いでいる。



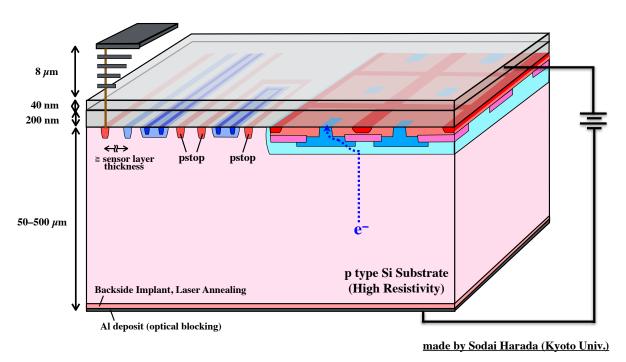
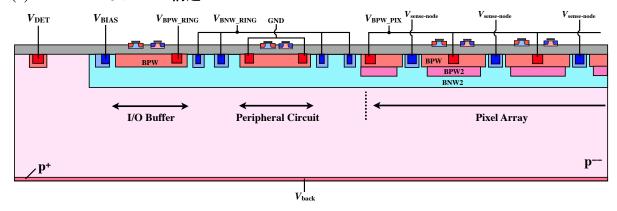


図 8.1: 周辺構造を改良した新たな PDD 構造。

(a) XRPIX6E での PDD 構造



(b) 我々が提案する新 PDD 構造

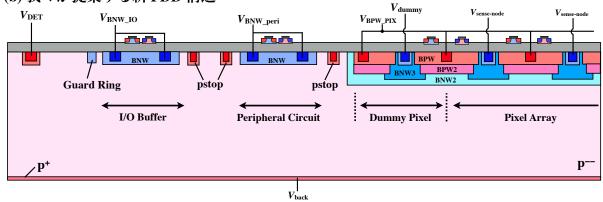


図 8.2: 従来の PDD 構造と今回提案する新たな PDD 構造の断面図の比較。

pstop の他に、回路部の下に BNW を形成し電圧を印加できるようにしているのも、絶縁層が正に帯電する事が背景にある。回路部の下に形成した BNW の目的の一つはバックゲート効果 (節 3.3) の抑制である。もう一つは絶縁層が正に帯電する効果の補正のためである。絶縁層が正に帯電すると、トランジスタの閾値特性が変化してしまう。 $V_{\rm BNW, IO}$ や $V_{\rm BNW, peri}$ に印加する電圧を調整することで、正電荷によって生じる影響分を相殺することができる。

(iv) BNW3 を形成する

XRPIX6E はセンスノードの容量を減らすため、図 8.2 (b) にある BNW3 を形成していなかった (節 7.3.1)。しかし、これでは図 7.8 にあるように、ポテンシャルにフラットな部分が多く生じてしまう。ポテンシャルがフラットな部分は、電場によるドリフトではなく、熱的な拡散でしか電荷が広がらないため一般的に電荷収集時間が遅くなる 1 。

そこで、BNW3を形成した場合に生じるセンスノード容量の増加がXRPIX6Eで問題になるレベルか計算を行った。図7.8より、BNW3を形成するかどうかでポテンシャル井戸の幅に違いが生じていた。ポテンシャル井戸の面積がセンスノード容量

¹BNW3 を形成していない場合でも、ピクセルサイズが小さければ電荷収集時間に問題は生じない。問題が生じないピクセルサイズは、ポテンシャル図で確認でき図 7.8 の場合だと ~ 20 μm である。

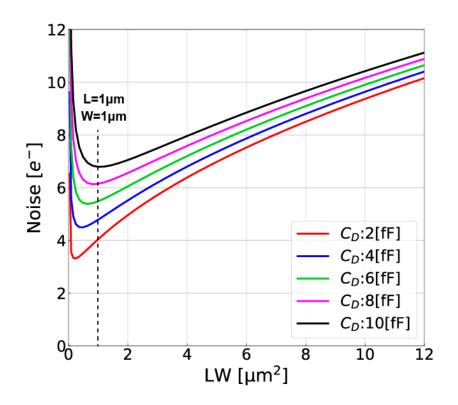


図 8.3: CSA 回路に使用するトランジスタのサイズ (LW) を変化させた時の、入力換算 / イズの計算値 [36]。XRPIX6E で使用しているトランジスタに相当する LW (= $1 \mu m^2$) を黒点線で記載している。

に比例すると仮定した場合、BNW3 がある場合のセンスノード容量は SOIPIX-PDD² の値を参照すると 3.2 fF [36] であるので、XRPIX6E のセンスノード容量は、

$$C_{XRPIX6E} = 3.2 \times \frac{(4.5 \times 4.5)}{(6.2 \times 6.2)} \sim 1.7 \text{ fF}$$
 (8.1)

と求まる。CSA 回路で生じるノイズは理論的に求めることができる。図 8.3 に CSA 回路で生じる入力換算ノイズの計算結果を示す。この結果より、センスノード容量が 1.7 fF から 3.2 fF に変わるとノイズレベルは 1 e⁻ 程度増えることが分かる。しかし XRPIX6E のフレーム読み出しでのノイズは 13.7 e⁻ であったので、センスノード容量増加分によるノイズの影響は少ないと考える。そのため、電荷収集時間を向上させるため BNW3 を形成することに決めた。

8.2 シミュレーションによる検証

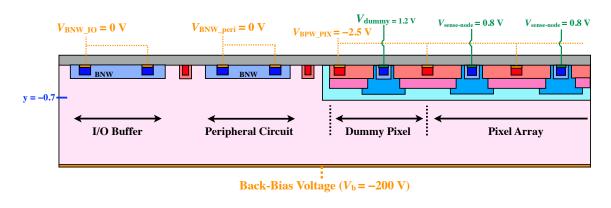
我々が提案する PDD 構造で問題が生じないか確かめるため、本論文ではシミュレーションを用い検証を行う。シミュレーションは、実際に XRPIX6E や SOIPIX-PDD の製造時に用いたドーピングプロファイルを仮定して行っている³。

 $^{^2}$ SOIPIX-PDD と XRPIX6E は、ピクセルサイズ及び BPW/BNW の幅を共通にして設計を行っている。 3 ドープ濃度等はラピスセミコンダクタ (株) のコンフィデンシャル情報であるため記載していない。

8.2.1 電位分布シミュレーション

まず初めに電位分布のシミュレーションを行う。シミュレーションを実行するにあたり、センスノード電圧 $0.8~V~(=V_{\text{sense-node}})$ 、ダミーピクセル電圧 $1.2~V~(=V_{\text{dummy}})$ 、ピンニング電圧 $-2.5~V~(=V_{\text{BPW-PIX}})$ 、バックバイアス電圧 $-200~V~(=V_{\text{b}})$ 、 $V_{\text{BNW-IO}}$ 及び $V_{\text{BNW-peri}}$ は 0~V~に設定をしている。

図 8.4 にシミュレーション結果を示す。シミュレーション結果より、センサー層で生成された電子がセンスノードに収集される電位構造が形成できていることが確認できる。またセンスノード周りの電位にフラットな部分が少ないため、XRPIX6Eと比べ電荷収集時間の改善が期待できる。



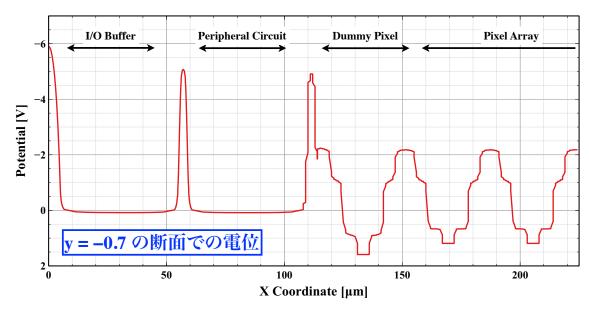


図 8.4: 新たな PDD 構造での電位分布のシミュレーション。上図: シミュレーションで設定した構造。電極に指定した箇所を太線で記入している。センサー層の厚みは 200 μ m、ピクセルサイズは 36 μ m を仮定している。下図: 電位分布のシミュレーション結果。センサー層表面から 0.7 μ m での電位分布を示している。

8.2.2 電場シミュレーション

我々が提案するPDD構造は、微細な寸法を持つBPWやBNWがピクセルアレイの周辺部に存在する。高ドープ領域を接近させて形成すると、高い空間電荷密度によって大きな電場が発生することが考えられる。仮に、アバランシェ降伏が発生するほど電場強度の強い領域が存在してしまうと、リーク電流が増える等の問題につながる。そこで、アバランシェ降伏が十分起こらないと考えられる100kV/cm以下に電場の最大強度がなるか検討を行なった。検討を行う箇所は、新たに追加した構造の中で特に強い電場が発生しやすいと推測される、周辺回路部とダミーピクセル周りで行なう。

周辺回路部の電場

まず、センサー層 (p^-) と周辺回路部の下に形成した BNW (n^+) 間に、逆電圧を印加した時に生じる最大電場強度を計算で概算する。我々の検出器 (XRPIX6E 等) では、BNW に比べ不純物濃度がずっと小さい基板をセンサー層に用いている。この場合、片側階段接合と呼ばれる近似を用いることができ、最大電場強度 E_{MAX} は、

$$E_{\text{MAX}} = \frac{eN_{\text{A}}D}{\varepsilon_{\text{Si}}} \tag{8.2}$$

と表せる [12]。ただしD は空乏層厚、 N_A はアクセプタ濃度、 ε_{Si} はシリコンの誘電率である。アクセプタ濃度に 2×10^{-12} cm⁻³ を仮定して、 E_{MAX} を計算したものを図 8.5 に示す。計算結果より、最大電場強度は 100 kV/cm を超えないと考えられる。

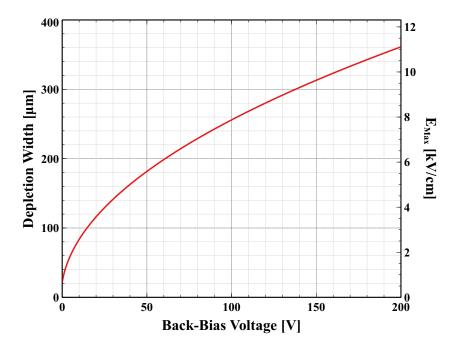


図 8.5: バックバイアス電圧と空乏層及び最大電場強度の関係。

次に、シミュレーションを用いてより詳細に検討を行う。図 8.6 にシミュレーションで 設定した構造と電場シミュレーションの結果を示す。それぞれ構造の境界部分で電場が強 くなっているが、いずれも $100 \, \mathrm{kV/cm}$ は超えておらず、アバランシェ降伏は起こらないと結論づけた。

ダミーピクセル周辺の電場

ダミーピクセル周辺でも同様に、電場強度の検討を行う。図 8.7 にダミーピクセル周りで行った電場シミュレーションの結果を示す。この領域も最大電場強度が 100 kV/cm を超えておらず、アバランシェ降伏は起こらないと考えられる。

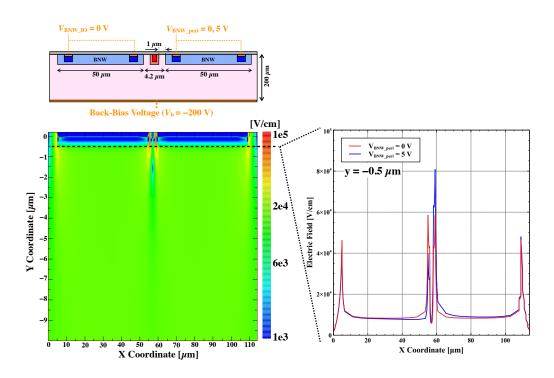


図 8.6: 周辺回路部で電場シミュレーションを行った結果。上図: シミュレーションで定義した構造。寸法は、実際に設計で用いる値を使用している。左下図: $V_{\rm BNW,peri}=5$ V にした際の電場シミュレーションの結果。右下図: $y=-0.5~\mu m$ での値をプロットしたもの。

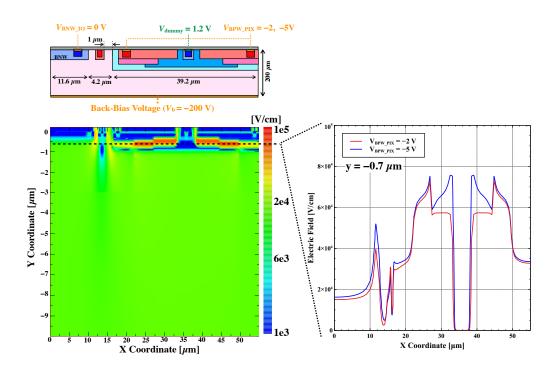


図 8.7: ダミーピクセル周りで電場シミュレーションを行った結果。上図: シミュレーションで定義した構造。寸法は、実際に設計で用いる値を使用している。左下図: $V_{BPW,PIX}=-5$ V にした際の電場シミュレーションの結果。右下図: $y=-0.7~\mu m$ での値をプロットしたもの。

第9章 まとめと今後

本論文では、次世代 X 線天文衛星 FORCE 搭載に向けて、広帯域撮像分光器である XRPIX の研究を行った。従来の Single SOI 構造からの改善を目的に、固定電位層の位置が異なる 2 種類の素子を開発した。

1. Double SOI 構造

- Double SOI 構造を導入した XRPIX6bD で、トリガー回路と読み出しノード間 の干渉の抑制に成功し、イベント駆動読み出しで 345 eV (FWHM at 6.4 keV) という XRPIX シリーズで過去最高の性能を達成した。
- 一方で XRPIX6bD ではテール問題や電荷収集効率の問題が発生した。これら を調査した結果、いずれも Si/SiO₂ 界面付近から影響を受けていることが示唆 される。

2. Pinned Depleted Diode 構造

- 従来の Single SOI 構造の問題、及び新たに XRPIX6bD で見つかった問題を解決するため PDD 構造を持つ XRPIX6E を開発した。XRPIX6E を評価した結果、いずれの問題も改善することに成功し、イベント駆動読み出しで XRPIX6bD の性能を大幅に上回る 6.4 keV で 225 eV (FWHM) を達成した。
- FORCE 衛星搭載に求められる性能は 6 keV で 300 eV (FWHM) であるので、 XRPIX6E で初めて要求性能を満たした。
- ピクセルによっては 6.4 keV で 140 eV (FWHM) を達成しており、これは CCD 検出器にも匹敵する性能である。

本論文の結果より、Double SOI 構造と PDD 構造、いずれの構造も従来の Single SOI 構造の問題点を改善できることを示した。では、今後の SOI 構造は Double SOI 構造と PDD 構造の 2 種類になっていくか、と言えばそうではない。本論文の XRPIX6bD と XRPIX6E の結果より、PDD 構造には Double SOI 構造にないメリットが多く存在することが確かめられた。この結果は、PDD 構造が非常に有用な構造であることを示している。つまり SOI の構造は今後 PDD 構造に移行すると考えられる。

しかし従来のPDD構造で素子を制作すると、我々が直面した「暗電流問題」が発生することも予想される。そこで我々は、暗電流問題を調査し得られた理解を元に、暗電流問題を解決に導く新たなPDD構造の提案を行なった。新たなPDD構造をシミュレーション等を用いて検証を行った結果、問題なく動作することが期待できる。

我々が提案した新たな PDD 構造は、SOIPIX グループ全体でも取り入れられることになった。現在、世界中の SOIPIX グループで、提案した構造をもとに設計が行われており、

本修論提出の4日後である2019年1月28日に素子製作作業が開始される。当然、我々も 新たなPDD 構造を持つ新素子「XRPIX8」の開発を行う。

付録A XRPIXの信号読み出しの流れ

A.1 周辺読み出し回路の動作

周辺回路では、各列に配置したカラムアンプで信号の増幅を行う。そして、サンプルホールドキャパシタに信号レベルを保持した後、差動で読み出す。差動で出力した信号の差分を取ることで、コモンモードノイズを抑制できる。また、ピクセル毎に信号レベルとリセットレベルの差分を読み出すため、各アンプに存在しているオフセットのばらつきを取り除く事も出来る。

周辺読み出し回路での、アナログ信号読み出しの流れを図 A.1 に示す。ここでは簡易化のため、リセットノイズを省略している。

- (i) ϕ_R と ϕ_{SS} を ON、 ϕ_{SR} を OFF にした後、読み出すピクセルの Row と Column を指定する (ROW_READ と COL_READ を ON にする)。ピクセルに V_{SIG} の信号が入っている場合、 C_{CDS} の後段は図の青字で示した電位になる (図 4.8 を参照)。カラムアンプの入力端子はバーチャルショートで常に VCOM の電位になろうとするため、 C_{PED} には VCOM の電圧が保持される。
- (ii) ϕ_{SS} と ϕ_R を OFF、 ϕ_{SR} を ON にした後、RST_CDS を ON にする。C1 と C2 の間の電荷が保存し、それに追随して後段の電位が変化するため、 C_{SIG} には VCOM $V_{_SIG}$ × A × C_{\square} の電圧が保持される。
- (iii) C_{SIG} と C_{PED} に信号レベルとリセットレベルを保持した後は、その電圧差を出力する手順に入る。まず、 ϕ_{RR} を ON にして Output Buffer のリセットを行う。
- (iv) その後 ϕ_{RR} を OFF、 ϕ_H を ON にして、S/H Cap. に保持しておいた電圧差を読み出す。この時の電圧差は、 $V_{SIG} \times A \times \frac{Cl}{C2}$ となる。このうち C2 は、Programmable Gain Amplifier (PGA) 回路によって調整することが可能である。本修論では C1 = C2 として用いている。

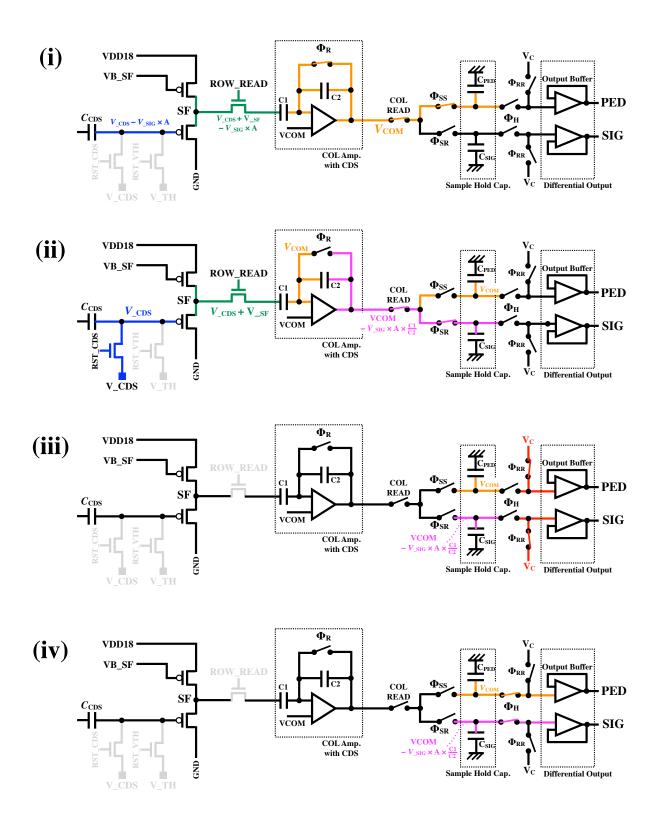


図 A.1: 周辺読み出し回路の動作。各場所の電位を、青・緑・オレンジ・マゼンタ・赤で示す。

A.2 トリガー回路の動作

XRPIX は各ピクセルにトリガー回路を有している。トリガー回路には、2つの反転増幅器を用いたインバータチョッパー型コンパレータと、Set-Reset (SR) ラッチを備えている。SR ラッチは、コンパレータの出力を安定させることと、コンパレータリセット中に流れる貫通電流を抑制する役割を持つ。

トリガー回路の動作の流れを図 A.2 に示す。

- (i) RST_VTH、RST_COMP1、RST_COMP2 を ON、RST_CDS を OFF にして、コンパレータのリセットを行う。この時、赤で示した場所の電位はリセット電圧である V_1 に、青と緑で示した場所の電位はそれぞれコンパレータの動作電圧である V_1 と V_2 になる。
- (ii) RST_VTHをOFFにする。この時RST_COMP1とRST_COMP2はONのままである。
- (iii) RST_COMP1 を OFF にする。この時、スイッチ OFF に伴うリセットノイズ V_{N1} が発生する。これにより青で示した場所の電位が V_1+V_{N1} に、マゼンタで示した場所の電位がアンプの増幅率を A_1 とすると $V_1+A_1\times V_{N1}$ となる。RST_COMP2 を ONしているので、緑の場所に V_{N1} は伝わらない。
- (iv) RST_COMP2 を OFF にする。すると、RST_COMP2 の OFF に伴うリセットノイズ V_{N2} が発生し、緑で示した場所の電位が V_2+V_{N2} に、オレンジで示した場所の電位 がアンプの増幅率を A_2 とすると $V_2+A_2\times V_{N2}$ となる。
- (v) RST_CDS を ON にする。この時、赤で示した場所の電位は V_CDS になる。COMP Cap. 1 に貯められた電荷は逃げる場所がないため、COMP Cap. 1 の電圧差は保持される。従って、青の場所の電位には $-V_{\text{tirg}} \equiv -(V_{-}\text{TH} V_{-}\text{CDS})$ が加算される。マゼンタの場所の電位はそれに伴い、 $V_{1} + A_{1} \times V_{-}$ N1 $A_{1} \times V_{\text{trig}}$ となる。同様にコンパレータ 2 の電位も変化し、最終的に出力される電位は、

$$V_2 + A_2 \times V_{N2} - A_1 \times A_2 \times V_{\text{trig}} \sim -A_1 A_2 V_{\text{trig}}$$
(A.1)

と表せる。ただしA₁、A₂は十分大きいと仮定した。

(vi) X線による信号が入ると最終的な出力は、

$$V_2 + A_2 \times V_{N2} - A_1 \times A_2 \times V_{trig} + A_1 \times A_2 \times$$
信号 $\sim A_1 A_2$ (信号 $-V_{trig}$) (A.2) となる。信号 $-V_{trig} > 0$ の時に論理が反転し、トリガー信号が出力される。

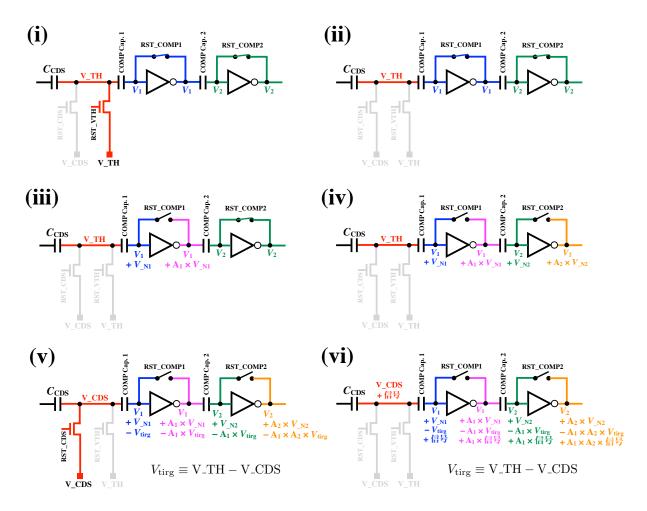


図 A.2: ピクセルトリガー回路の動作。各場所の電位を、赤・青・マゼンタ・緑・オレンジで示す。

謝辞

本論文は、本当にたくさんの方々の御指導、御支援によって書き上げることが出来ました。

指導教官である鶴教授には、論理の組み立て方、実験結果の考察の仕方など、全般的に御指導をして頂きました。どんな質問をしても、常に親身になって相談・議論をして頂いたお陰で、なんとか研究を進めることが出来ました。研究者であり、なおかつ教育者でもある鶴さんのもとで研究できたことは、本当に幸運だったと感じています。田中助教には、実験結果の解釈や論文の書き方など、多くのことを教えて頂きました。知識量が凄いことはもちろんですが、より良い方向へ人を変えていける才覚も持っておられ、敬服しております。内田助教には、宇宙物理をはじめとした様々な事を、教えて頂きました。常に冷静で、的確にコメントができ、また研究に対する真摯な姿勢など、どれをとっても大変勉強になりました。宮崎大学の武田助教にはXRPIXのことを大変親身になって教えて頂きました。XRPIXが広く使われているのは、武田さんの人柄もあってこそだと感じております。IPMUに移られた松村さんには、研究室に所属してから、本当にお世話になりました。XRPIXの研究をされていた先輩として、出来の悪い自分を親身になって指導して頂き、また気にかけてくださったことで研究を進めていくことが出来ました。

また、静岡大学の川人先生をはじめとした川人研究室の皆様、KEKの新井先生、倉知 先生にはPDD 構造の議論をはじめ、様々な事で大変多くのアドバイスを頂きました。

X線グループの先輩、同期、後輩の方々にも大変お世話になりました。先輩の尾近さんからは、発表の仕方や研究の取り組み方など、色々と勉強することが出来ました。同期の奥野君とは、一緒に就活・修論等に取り組み、毎度大変助けてもらいました。井戸垣君は、人見知りの自分に、研究室に配属された時から積極的に接してくれ、本当に感謝しています。後輩の天野君には、様々なことを気遣ってもらい、修論を執筆する上で大きな支えとなりました。佳山君とは XRPIX の議論を一緒にすることで、様々な気づきを得ることが出来ました。

紙面の都合上、ほんの一部の方のお名前しか挙げられておりませんが、今まで支えて下 さった方々にも衷心より感謝しております。

そして最後に、常に自分を信じ、黙って背中を押してくれていた家族に一番の感謝の気持ちを込めて、この修士論文を締めたいと思います。

参考文献

- [1] J. Magorrian et al. 1998, AJ, 115, 2285.
- [2] ESA, https://www.esa.int/esaKIDSen/SEMKC9KMSGJ_OurUniverse_1.html
- [3] J. Kormendy & L. C. Ho 2013, ARAA, 51, 511.
- [4] Y. Ueda et al. 2014, ApJ, 786, 104.
- [5] Y. Ueda et al. 2007, ApJ, 664, 79.
- [6] 広帯域 X 線高感度撮像分光衛星 FORCE 検討グループ. 「広帯域 X 線高感度撮像分光衛星 Focusing On Relativistic universe and Cosmic Evolution 概念検討書」, http://www.cc.miyazaki-u.ac.jp/force/wp-content/uploads/force_proposal.pdf
- [7] 奥野智行. 京都大学, 2019, 修士論文.
- [8] NASA, The Multiwavelength Milky Way, https://mwmw.gsfc.nasa.gov/mwpics/mwmw_8x10.jpg
- [9] 井上一, 小山勝二, 高橋忠幸, 水本好彦 編, 「宇宙の観測 III 高エネルギー天文学」日本 評論社.
- [10] 公益社団法人 日本天文学会, http://astro-dic.jp/atmospheric-window/ (原図, https://ir.library.osaka-u.ac.jp/repo/ouka/all/57837/ltc164.pdf)
- [11] G. F. Knoll 著 / 神野郁夫, 木村逸郎, 阪井英次 訳,「放射線計測ハンドブック」オーム社.
- [12] S. M. ジィー 著 / 南日康夫, 川辺光央, 長谷川文夫 訳, 「半導体デバイス」産業図書.
- [13] B. L. アンダーソン, R. L. アンダーソン 著 / 樺沢宇紀 訳, 「半導体デバイスの基礎」丸 善出版.
- [14] Behzad Razavi 著 / 黒田忠広 訳、「アナログ CMOS 集積回路の設計」丸善出版.
- [15] 黒田隆男 著、「イメージセンサーの本質と基礎」コロナ社.
- [16] NASA Visualization Explorer, https://svs.gsfc.nasa.gov/cgi-bin/details.cgi?aid=11185
- [17] ESA, http://sci.esa.int/xmm-newton/18015-xmm-newton-spacecraft/
- [18] JAXA, http://global.jaxa.jp/projects/sat/astro_e2/

- [19] JAXA, http://astro-h.isas.jaxa.jp/wp-content/uploads/2013/02/pct05_b.jpg
- [20] JAXA, http://www.jaxa.jp/projects/sat/astro_h/index_j.html
- [21] F. Simon et al. 2010, Proceedings of International Linear Collider Workshop, https://arxiv.org/pdf/1007.0428.pdf
- [22] A. Meuris et al. 2011, IEEE TNS, 58, 1206.
- [23] Medipix Collaboration, https://medipix.web.cern.ch/about-medipix-collaborations
- [24] SOITEC, https://www.soitec.com/en/products/smart-cut
- [25] Y. Arai et al. 2011, NIM A, 636, 31.
- [26] A. Takeda et al. 2013, IEEE TNS, 60, 586.
- [27] A. Takeda et al. 2014, PoS (TIPP2014), 138.
- [28] 松村英晃. 京都大学, 2015, 修士論文.
- [29] 林秀輝. 京都大学, 2018, 修士論文.
- [30] S. Ohmura et al. 2016, NIM A, 831, 61.
- [31] 3D TCAD Simulator HyENEXSS, Developed by Selete. Semiconductor Leading Edge Technologies Inc.
- [32] T. Uchida. 2008, IEEE TNS, 55, 1631.
- [33] 片多修平. 大阪大学, 2015, 修士論文.
- [34] A. Takeda et al. 2015, JINST, 10, C06005.
- [35] T. Miyoshi et al. 2017, JINST, 12, C02004.
- [36] H. Kamehama et al., 2018, Sensors, 18, 27.
- [37] S. Harada et al. 2018, NIM A, in press, https://doi.org/10.1016/j.nima.2018.09.127
- [38] H. Hayashi et al. 2018, NIM A, in press, https://doi.org/10.1016/j.nima.2018.09.042