

64chADC搭載ASICの 読み出し基板の開発

理学部理学科 宇宙線研究室

4回生 小野田晴樹 小橋尚弥

目次

- 研究背景
- 研究目的
- 新しい読み出しチップ(QPIX_NEO_ver2)の概要
- 読み出しボードの開発
- まとめ

目次

- **研究背景**

- 研究目的
- 新しい読み出しチップ(QPIX_NEO_ver2)の概要
- 読み出しボードの開発
- まとめ

MeV帯域のガンマ線領域探索

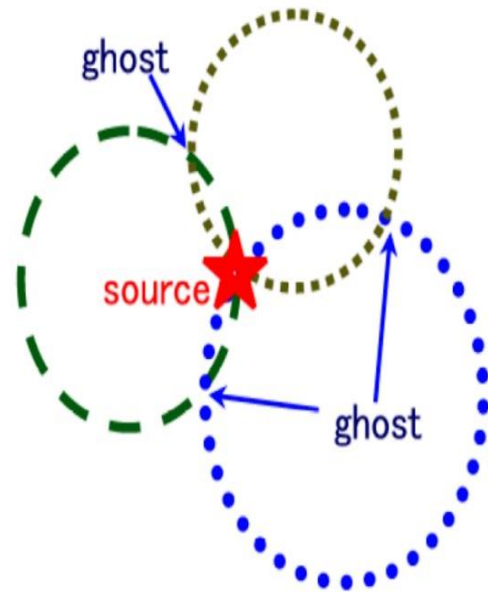
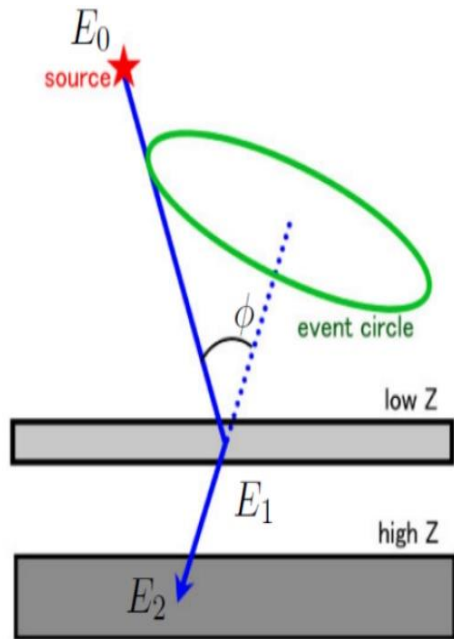
意義

- MeV 帯域 (0.1-100 MeV) のガンマ線 は **ガンマ線バースト**、**回転駆動型パルサー**、**活動銀河核** などの高エネルギー天体の物理を理解するうえで重要。 (**入射方向**や**偏光**が重要)

現状

- 雑音の多さなどによって、**観測手法が未確立。**
- コンプトン散乱が優位
コンプトン散乱をどう観測するか、、、

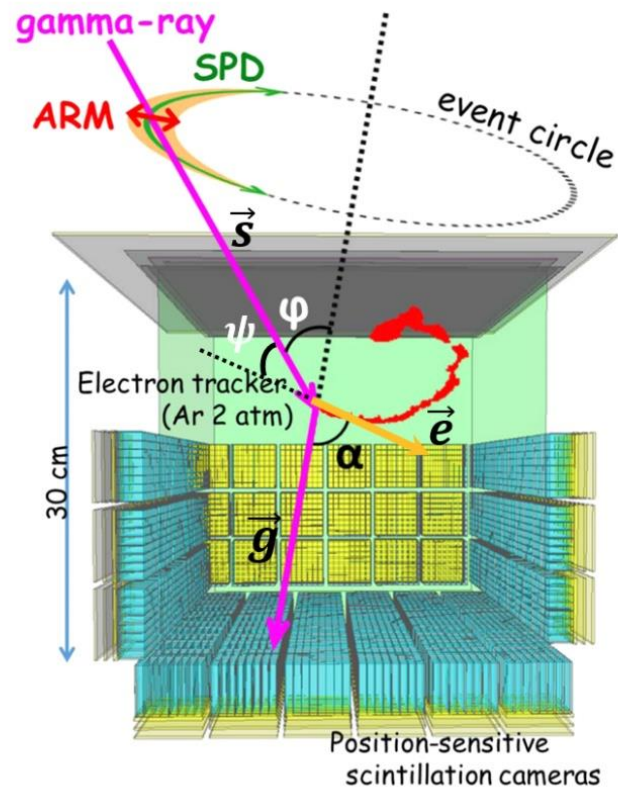
コンプトン法



散乱電子の方向を検出できない、

- 散乱電子の散乱方向が未知
入射方向を一意に決定できない、、、
コンプトン散乱以外のノイズも拾う、、
- コンプトン以外のノイズが多い
偏光による異方性が低い、、、

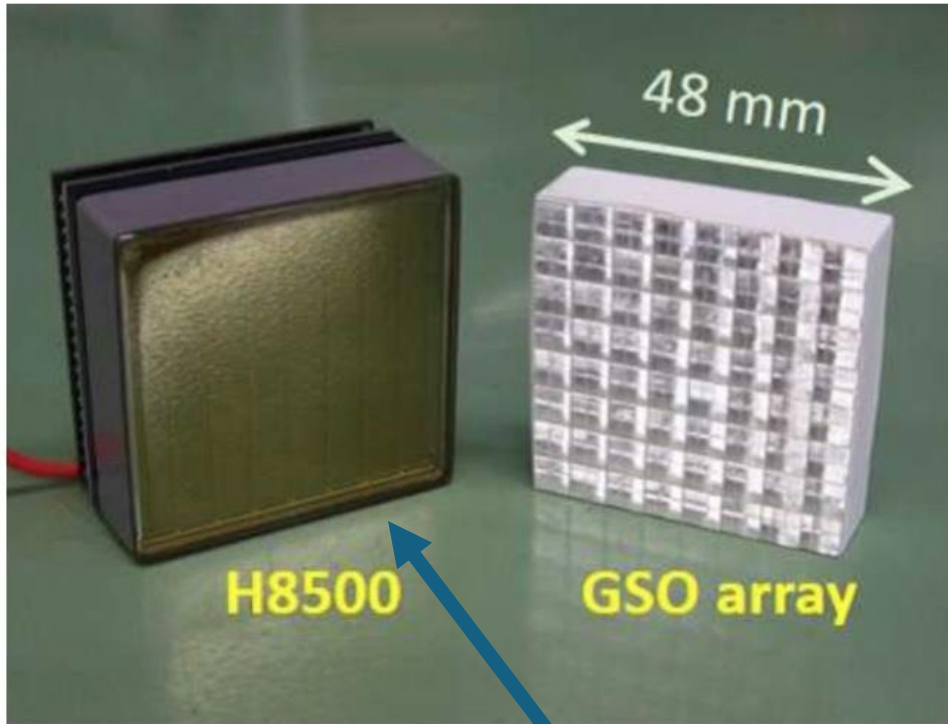
ETTC (コンプトンカメラ)



散乱電子の方向も検出

- 入射位置を一意に決めれる
- 散乱ガンマ線と電子のエネルギーによって決まる α と比較することで、コンプトン散乱のみを選択
... 雑音の低減

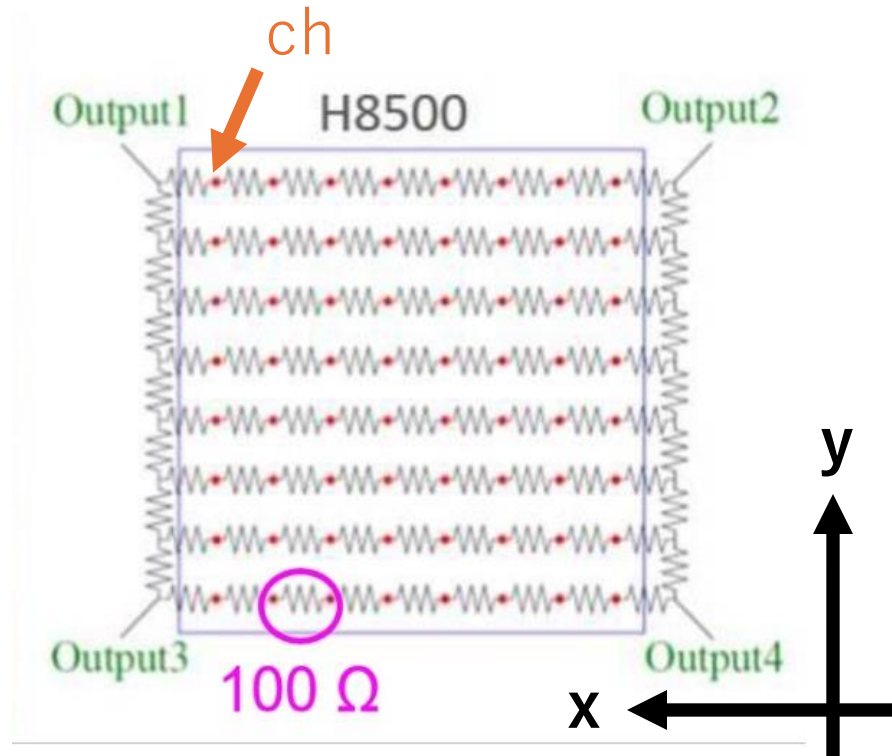
散乱ガンマ線の読み出し（現状）



64chのシンチレータとMPPCを用いて検出

これはPMTだが, MPPCに変更予定

散乱ガンマ線の読み出し（現状）



入射光子のエネルギー E 、位置 (X, Y) を
4隅の電荷の**重心**によって決定

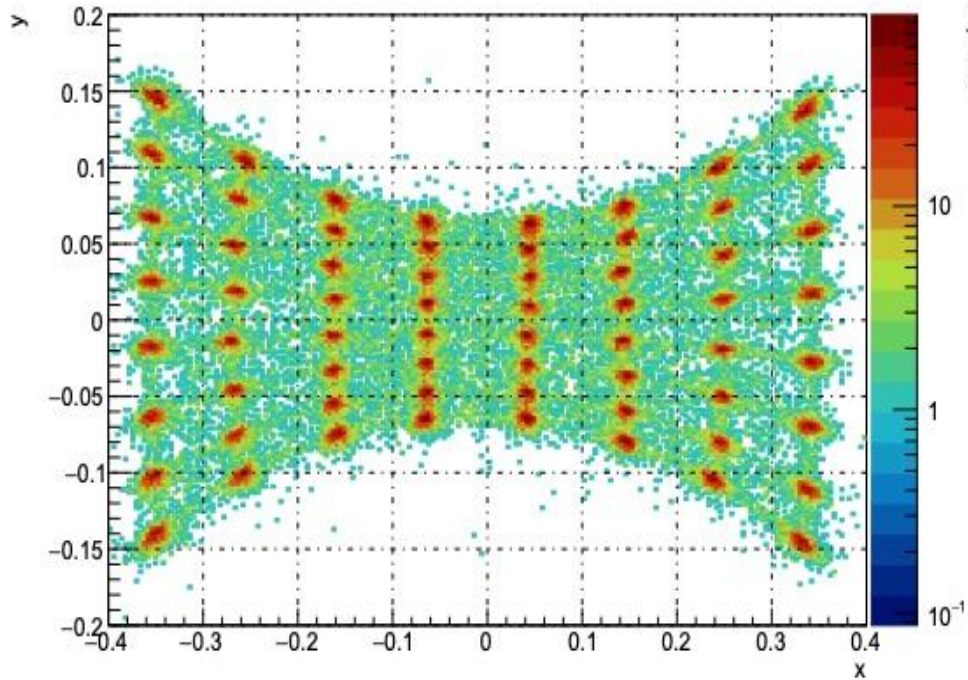
$$E \propto Q_1 + Q_2 + Q_3 + Q_4$$

$$X = \frac{Q_1 - Q_2 + Q_3 - Q_4}{Q_1 + Q_2 + Q_3 + Q_4}$$

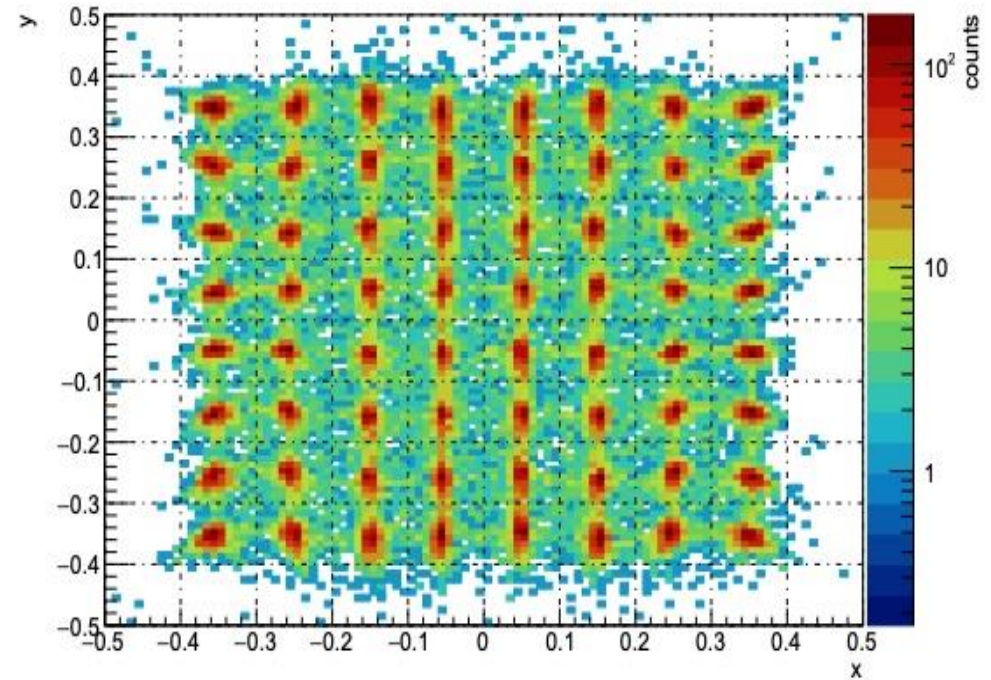
$$Y = \frac{Q_1 + Q_2 - Q_3 - Q_4}{Q_1 + Q_2 + Q_3 + Q_4}$$

MPPCからの信号を読み出す抵抗チェーン

入射位置特定の具体例（全面照射）



全面に均等に照射した時



格子状に補正

目次

- 研究背景
- **研究目的**
- 新しい読み出しチップ(QPIX_NEO_ver2)の概要
- 読み出しボードの開発
- まとめ

良い点

実際、読み出すのは4チャンネルなので、後段のヘッドアンプ回路が少なく済むので**消費電力が16分の1**。

悪い点

同時にヒットがある事象を正確に捉えられない。
高エネルギーガンマ線に非対応、、、

解決策

省電力多チャンネルADC搭載のASIC(Application Specific Integrated Circuit)を使って、**64ch全て**を読み出す。

目的

- 64chADC搭載のQPIX_NEOを元に、**SMILE用のASIC**に変更する。



- QPIX_NEOの**アナログ応答、機能**について検証。



- QPIX_NEOを**動かすための基板**などが必要。

今回はココ！

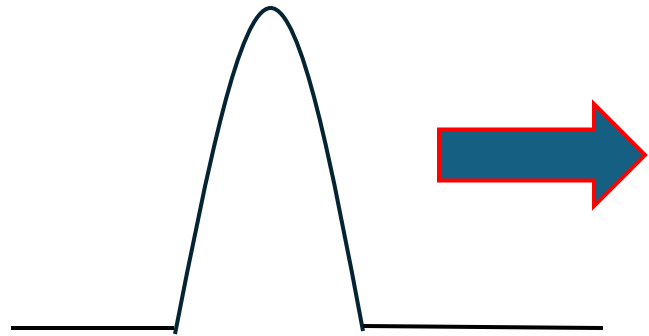


目次

- 研究背景
- 研究目的
- **新しい読み出しチップ(QPIX_NEO_ver2)の概要**
- 読み出しボードの開発
- まとめ

QPIX_NEOの仕様

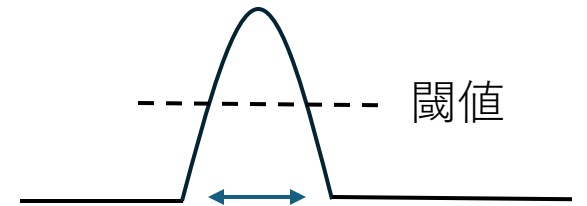
64chのアナログ信号



64chのTOTと
ADC(10bit 2.5MHz)



TOT: 閾値を超えた時間幅



消費電力0.1mW/ch以下 

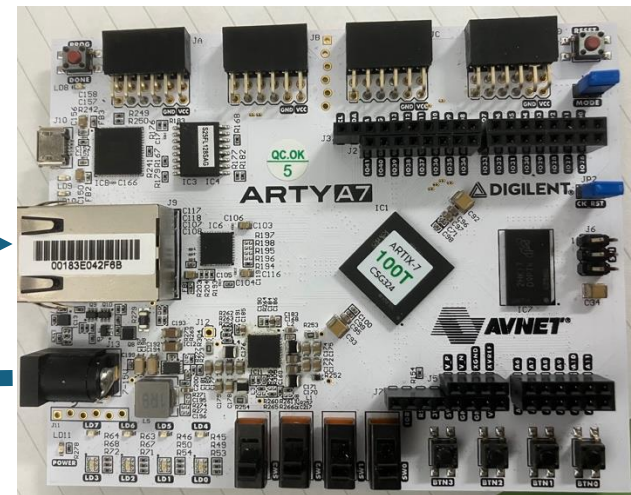
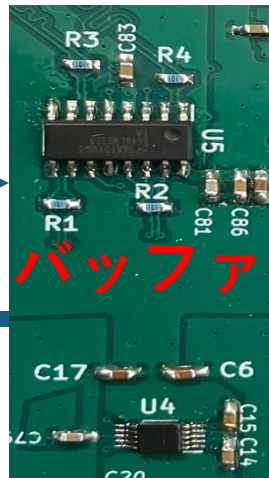
現在のSMILEではADC一つだけで
34mW使っている、

目次

- 研究背景
- 研究目的
- 新しい読み出しチップ(QPIX_NEO_ver2)の概要
- **読み出しボードの開発**
- まとめ

必要なモジュール

今回一つの基板にする

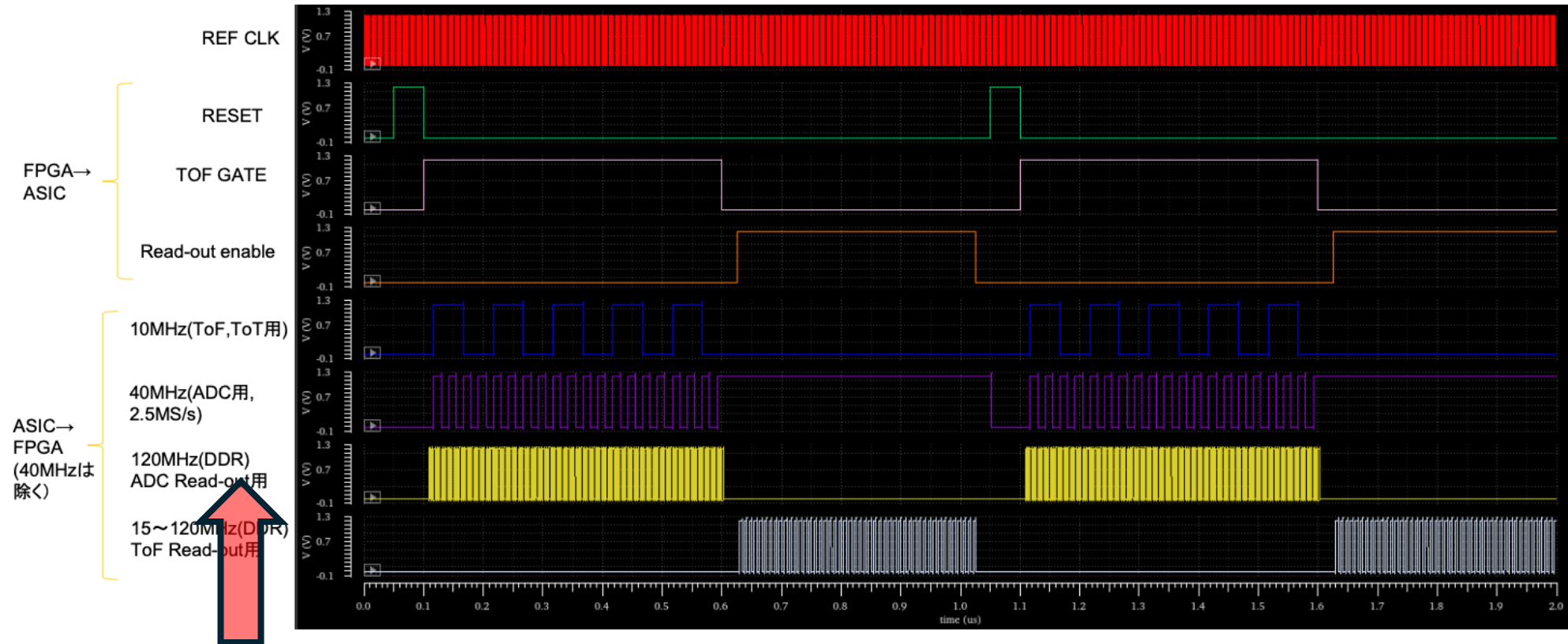


FPGA (Field Programmable Gate Array)
: QPIXとの通信を行う制御部



通信のタイミングチャート (ASIC ↔ FPGA)

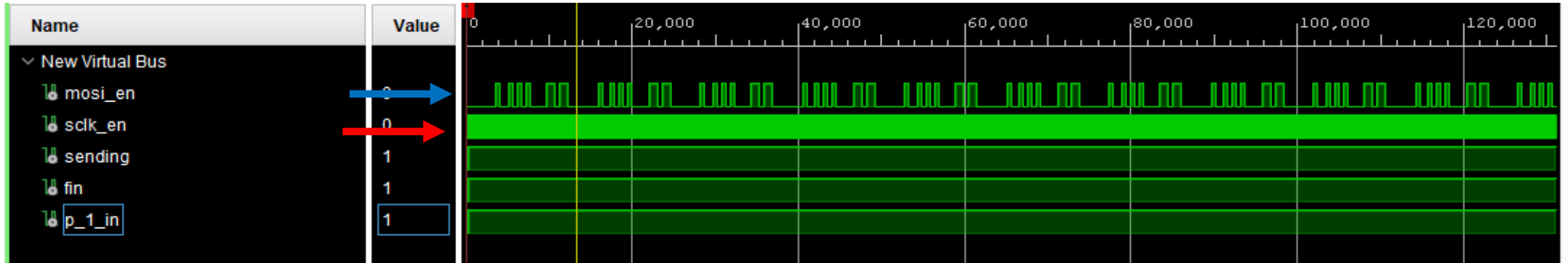
REF_CLKは240MHz。直接240MHzを入れるか、10~40MHz程度のクロックを入れてASIC内のPLLで240MHzを作るかどちらかをSPIで制御する



この時点で**SPI通信**によってASICに**設定** (閾値など) を送る

TOF GATEを開いている時間...ASICからの10MHzの信号をFPGAで数えて決めればよい。
Read-out enableしている時間...ASICからのToF Read-out用クロックを数えて決めればよい。
ASICからの信号を数えずにFPGA側で適当に決めても実害は無い(と思う)。

①SPI通信(FPGA→ASIC)



SSB(spi通信の合図)

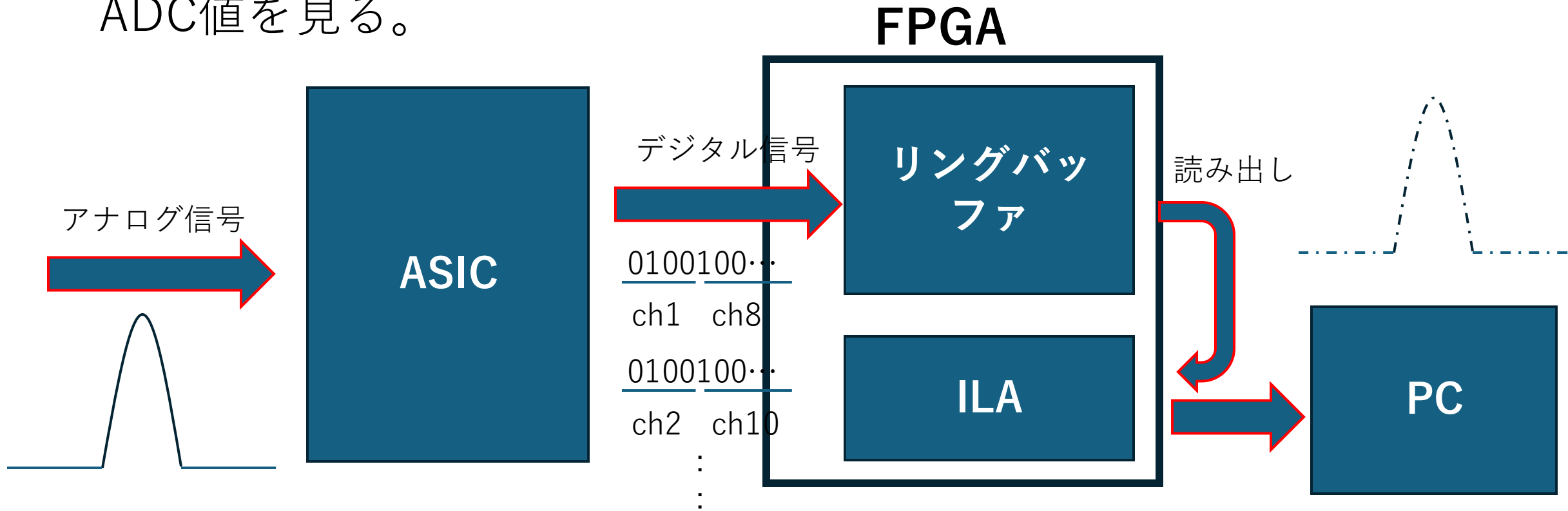
SCLK (クロック信号)

MOSI(ASICの設定値)

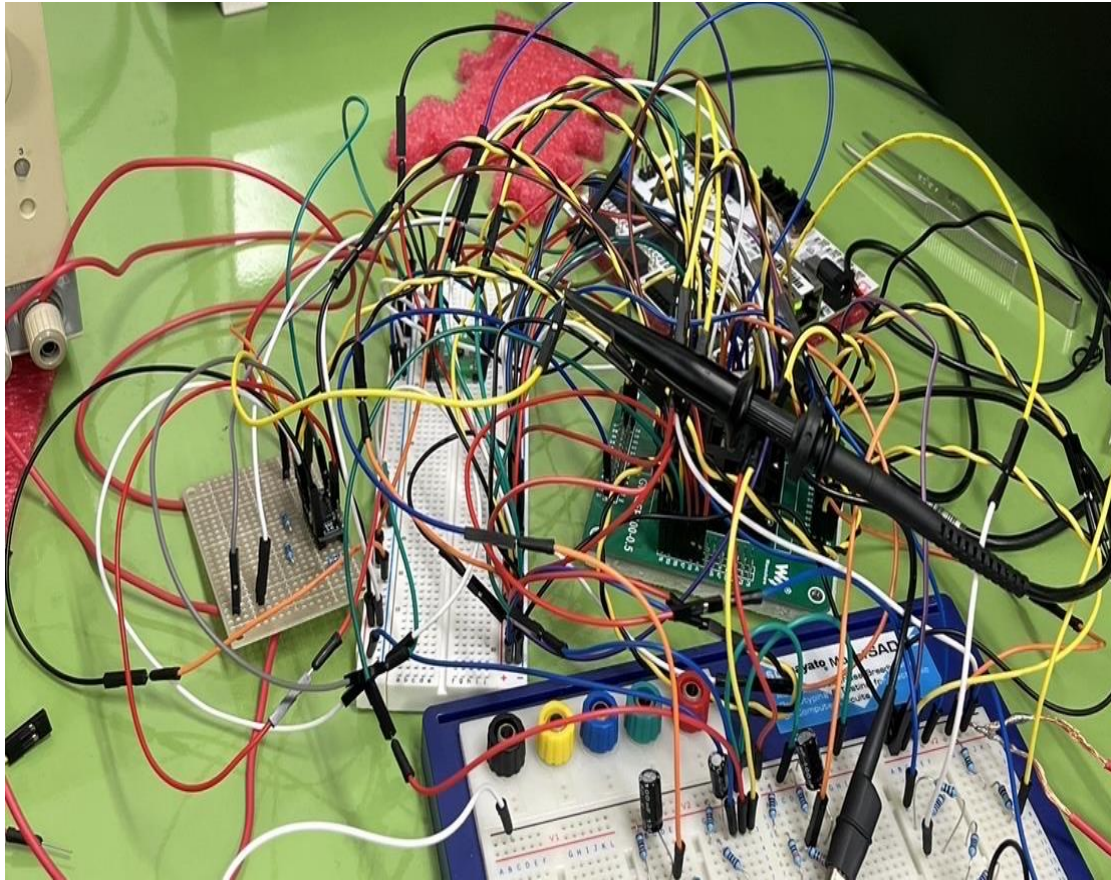
立ち上がりエッジで読み取り (ASIC側)

②ASICからの受け取り

- リングバッファに格納し、ILA(Integrated Logic Analyzer)でADC値を見る。



基板作成の遍歴①（ブレッドボード）



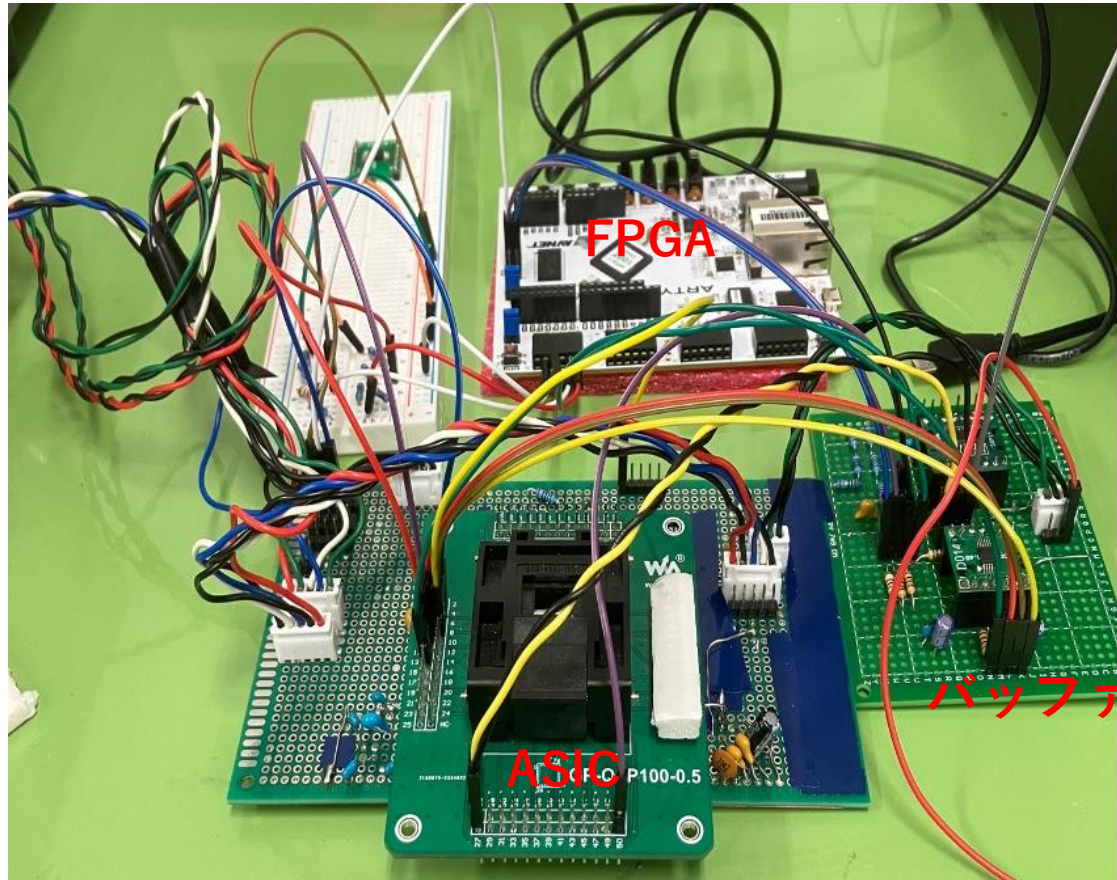
グチャグチャ、、

全てのピンをコネクタを用いて繋げている



- どの信号がうまく伝わっていないか分かりにくい
- 実験手順が煩雑
- **コネクタが抜けやすい**
- **電源部分、GNDでノイズが乗ってしまう**
（コネクタの抵抗で）

基板作成の遍歴②（ユニバーサル基板）

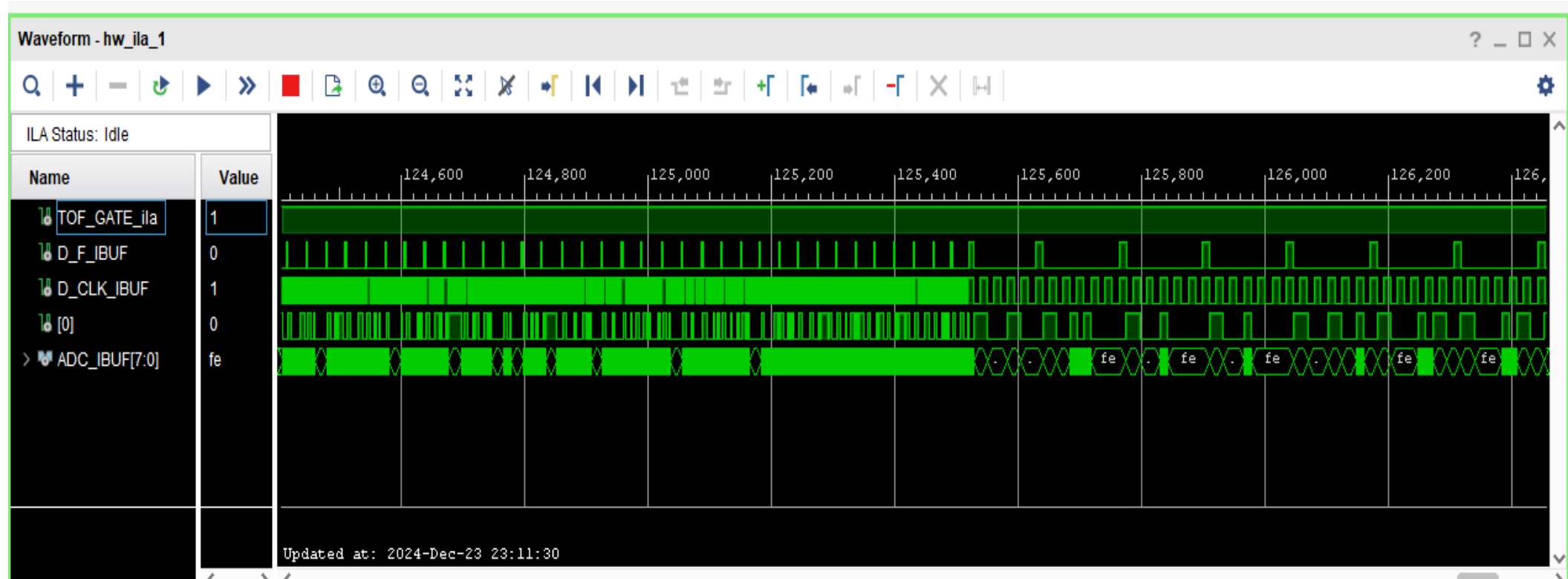


- 電源、GNDラインは一つの基板上
- ボタンのみでASICと通信できた



- パソコンの選び方を考えてない、バッファ部分が別に基板
- 電源ラインが細い

基板作成の遍歴②(結果)



ノイズが多く、ASICからの信号が不安定

基板作成の遍歴③ (kicadプリント基板)

改善点

- **バッファ**一部分も一つの基板上に設置
- **4層基板**にすることで、**2層目をベタGND**(GNDを広くした)に使用し、**3層目を電源層**にすることでノイズの低減を図った。
- 共振周波数を見て、**適切なパスコンの容量値**を選択 (ノイズの低減)

結果：基板の評価は
未だできていない

FPGA

バッファ

電源コネクタ

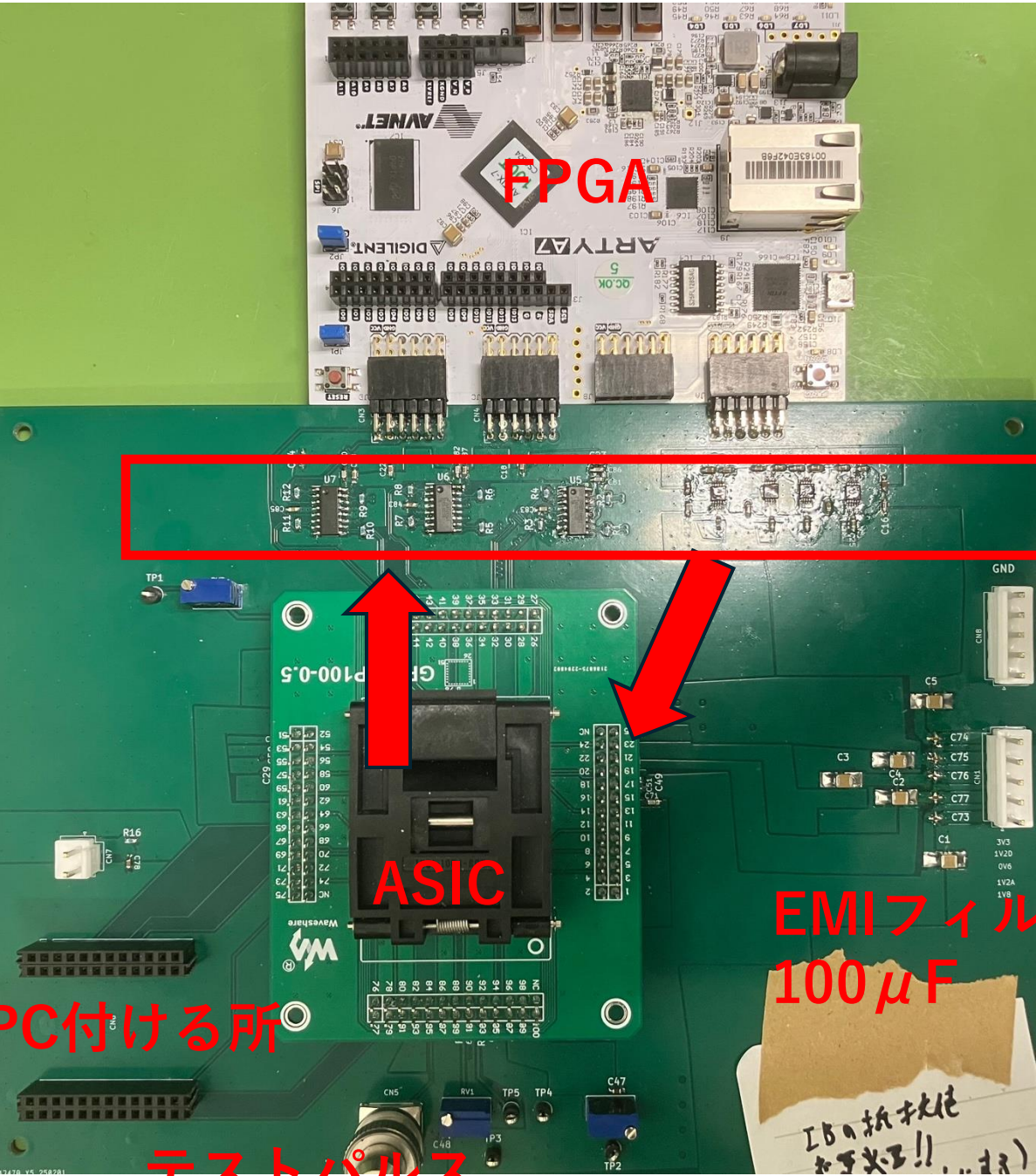
ASIC

EMIフィルタと
100 μ F

MPPC付ける所

テストパルス

IBの板だけ
を写す!! (...)



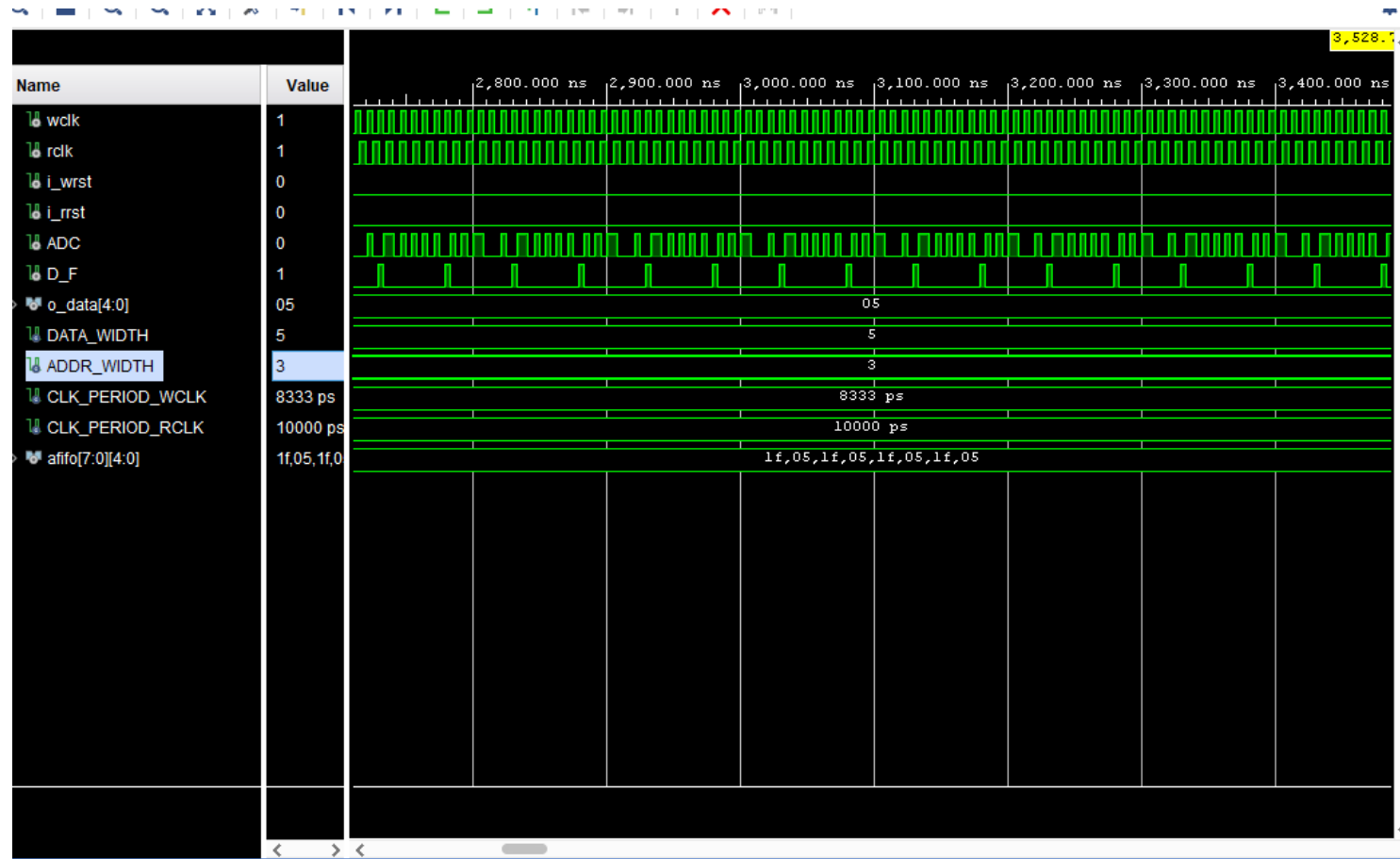
まとめと今後

- SMILE用の64チャンネル読み出しASICのベースとなりうる、**QPIX_NEOの動作について検証するための、読み出し基板の作製、FPGAとの通信システムの構築**を行なった
- ユニバーサル基板の時点で、安定はしていないが、確かに**ASICと通信する**ことはできた。
- QPIX_NEOの機能を確認、検証するために、**より安定な読み出し基板**が必要。

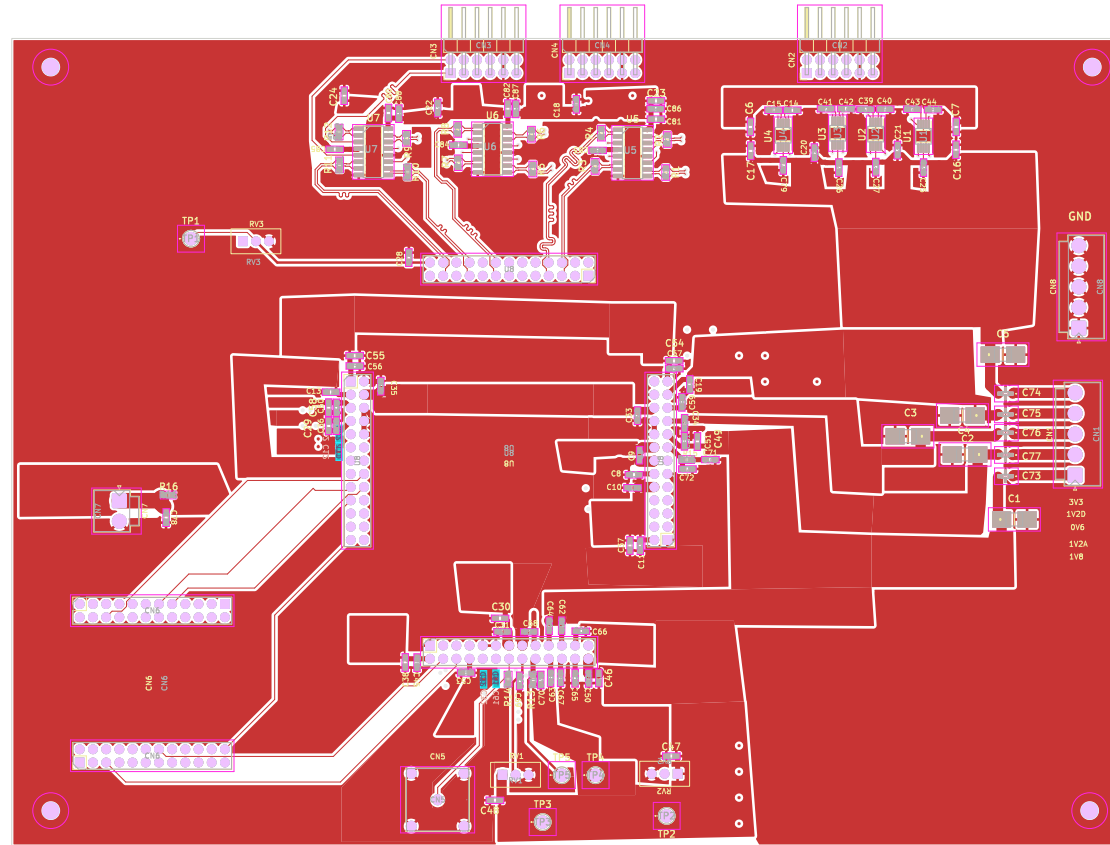
資料

資料

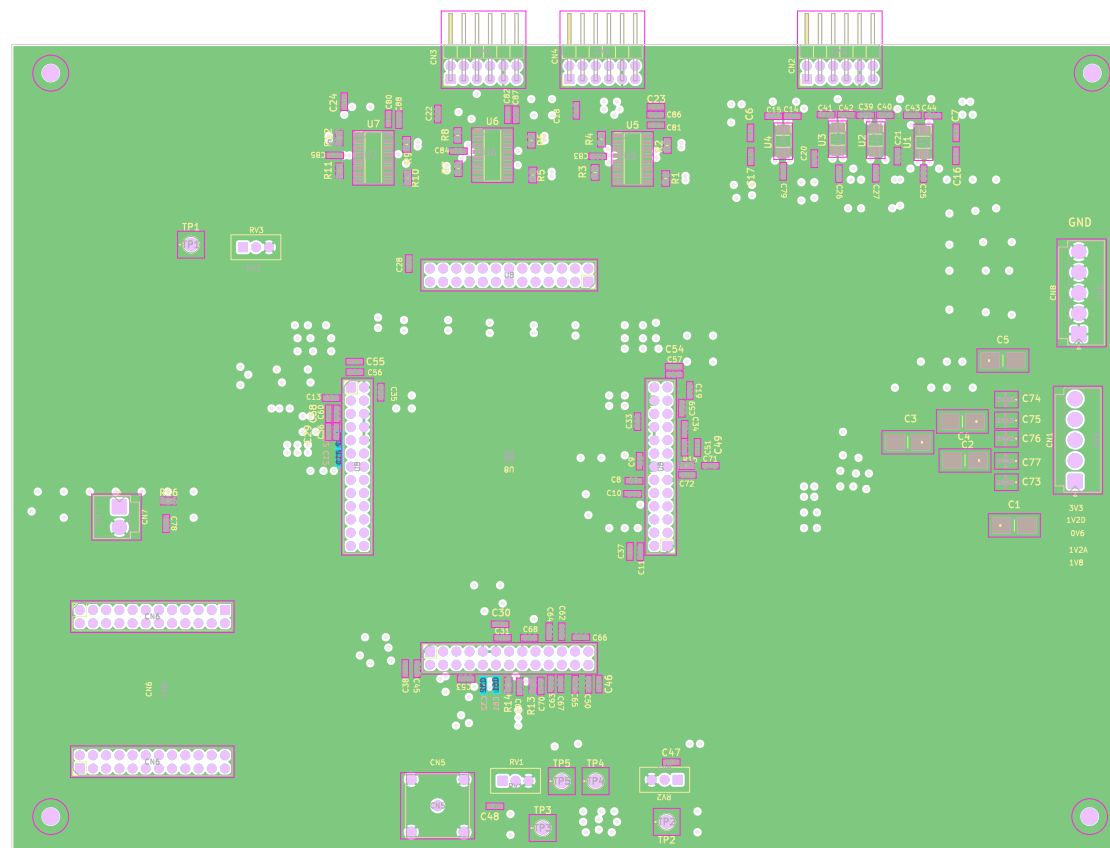
立ち上がりリングバッファのsimulation



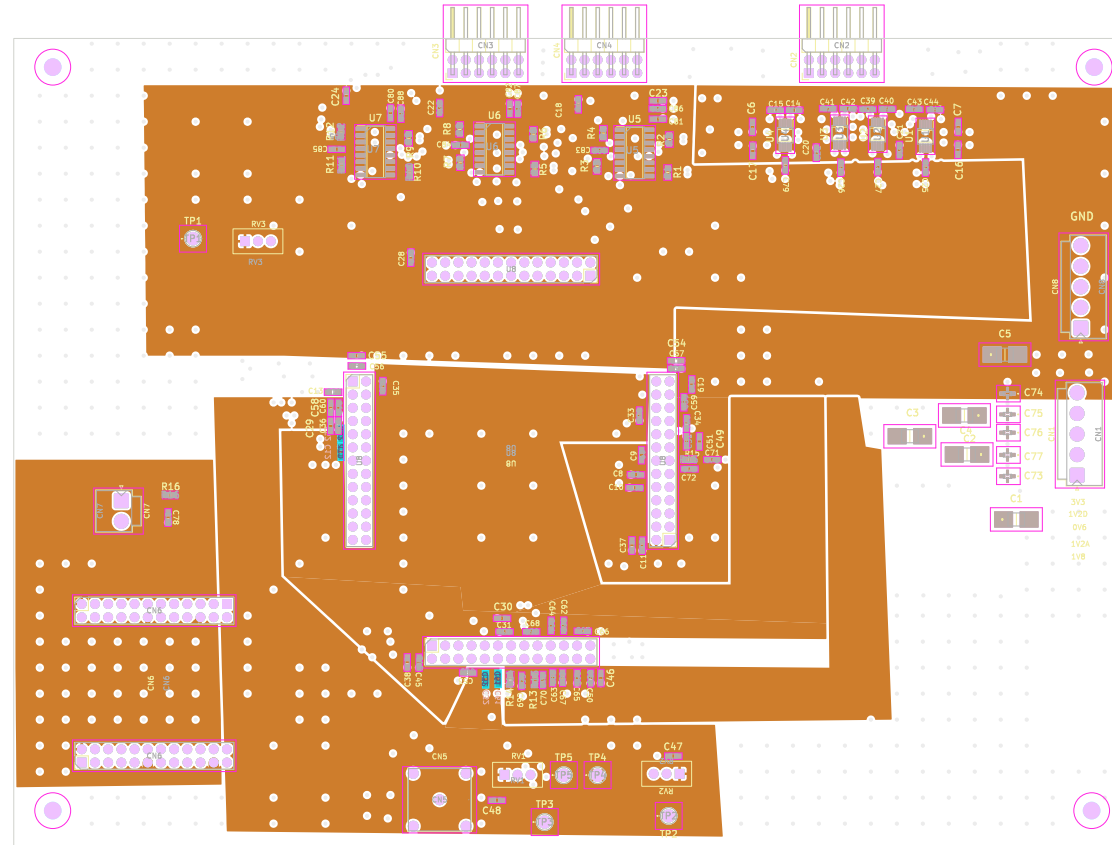
1 層目



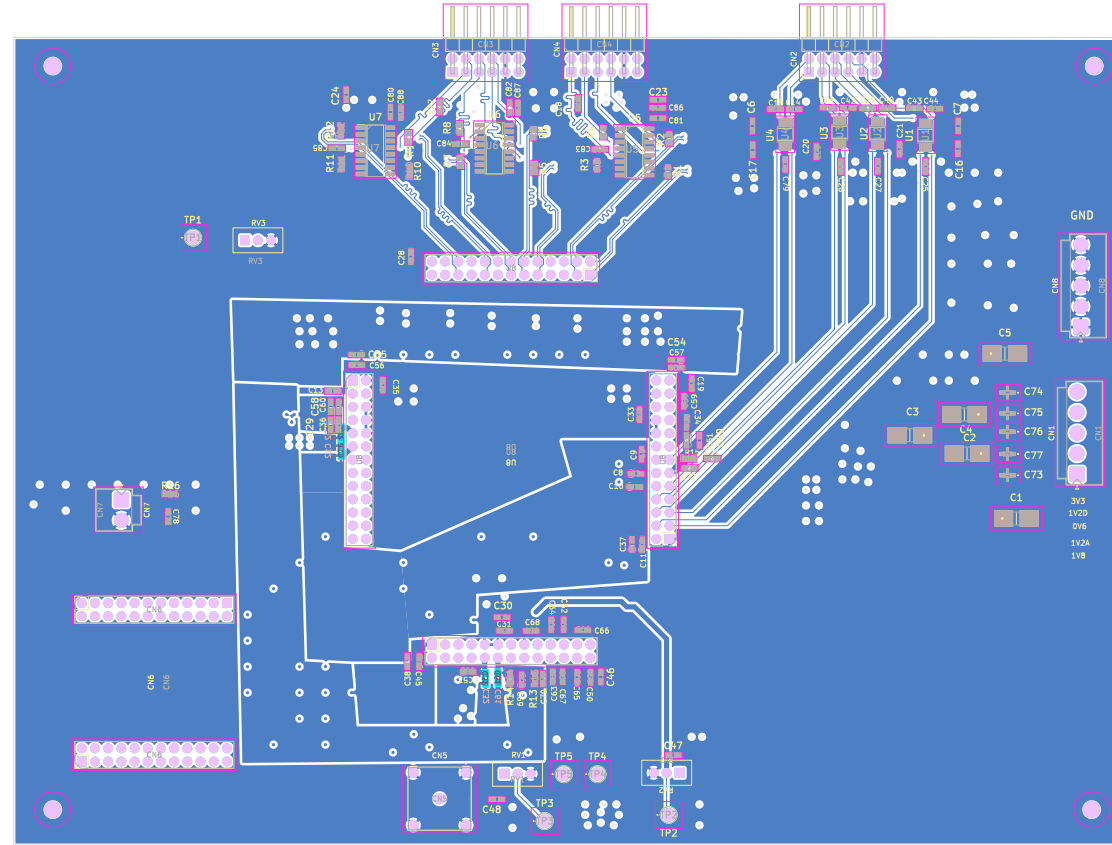
2層目 (GND層)

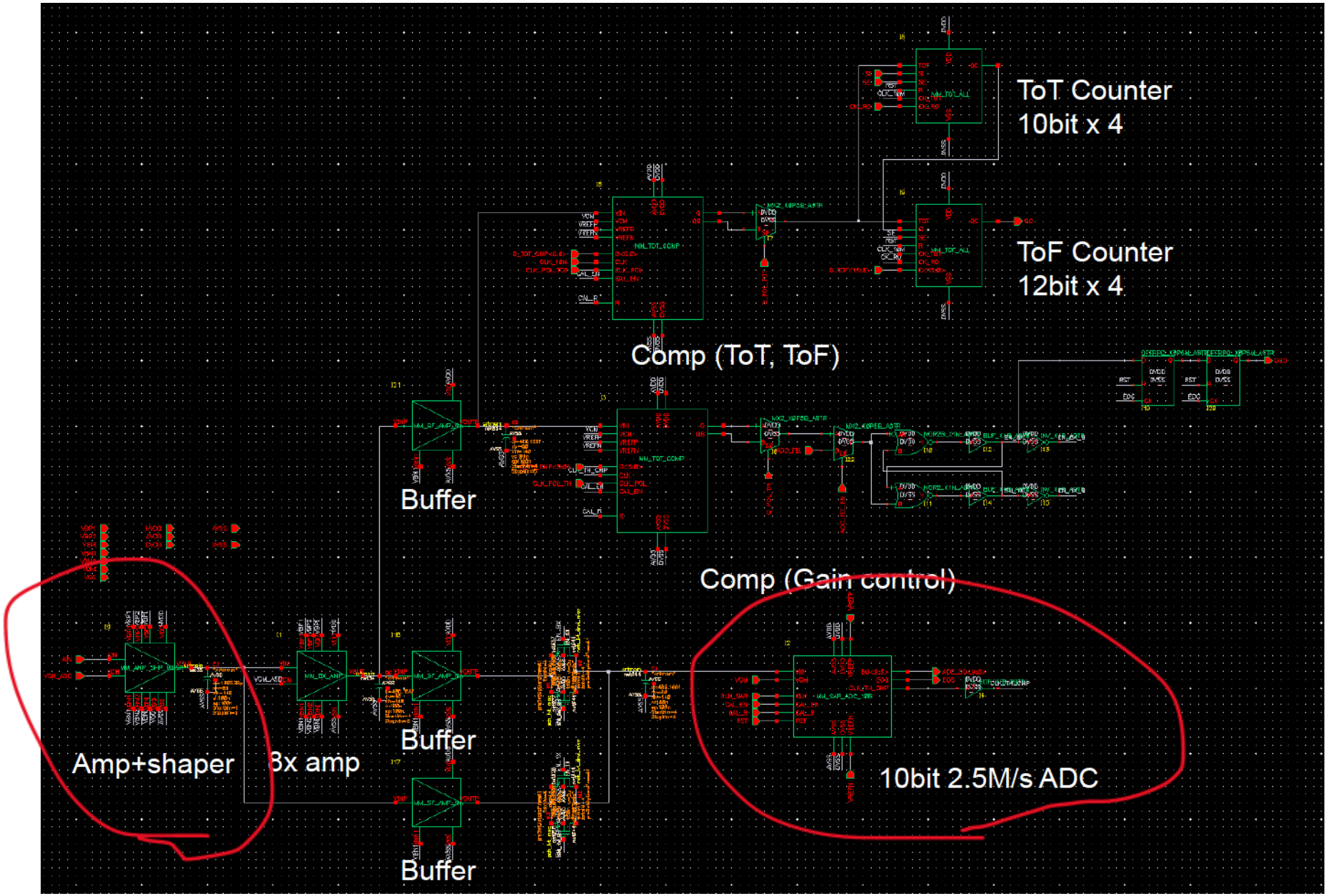


3 層目 (電源層3.3,1.2A,1.2D,1.8,0.6V)

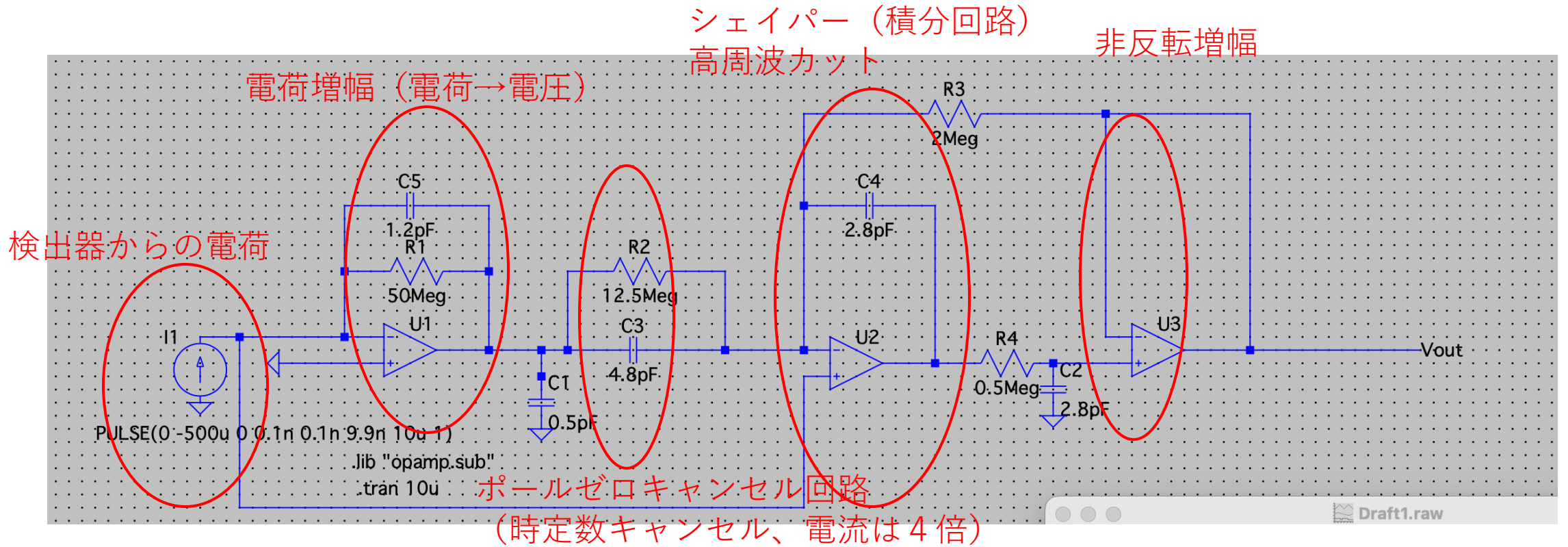


4層目

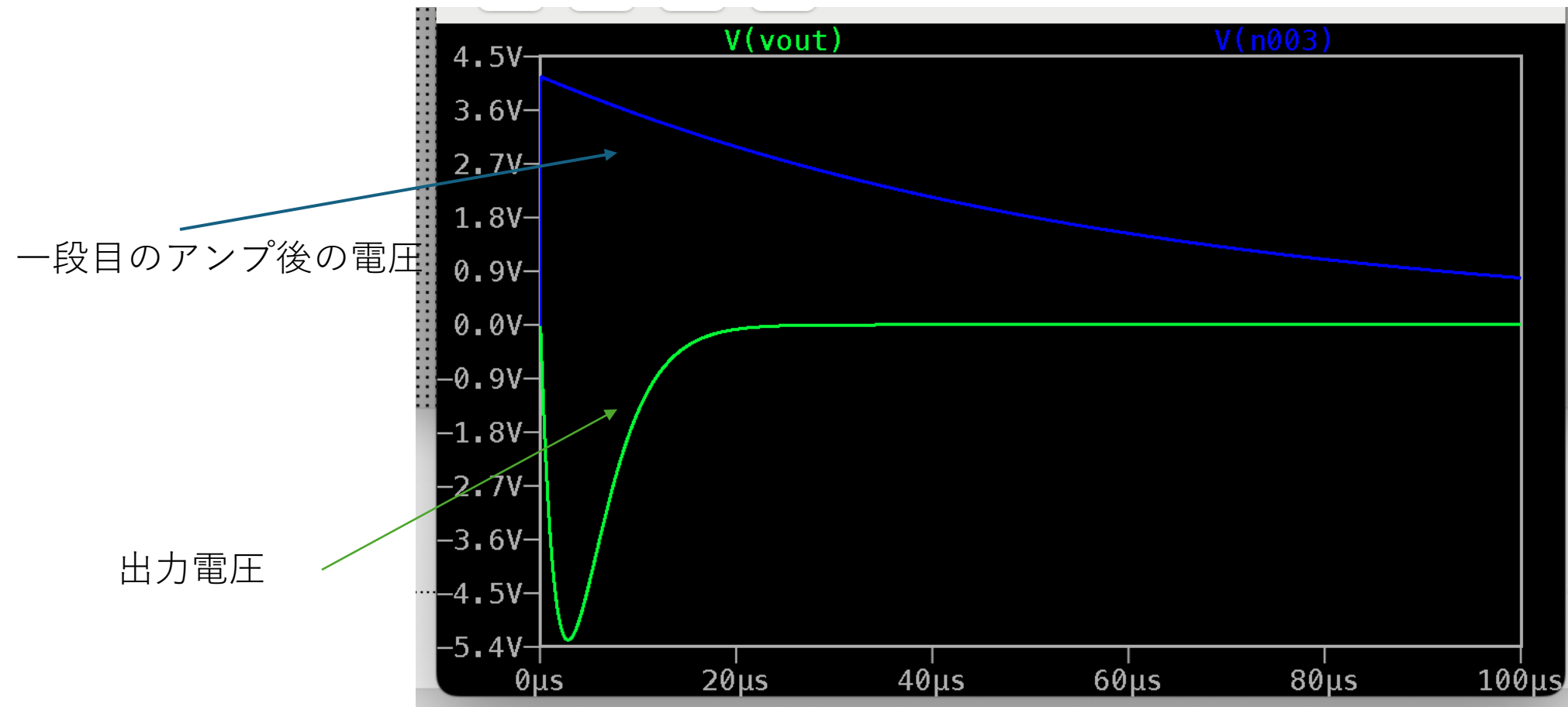


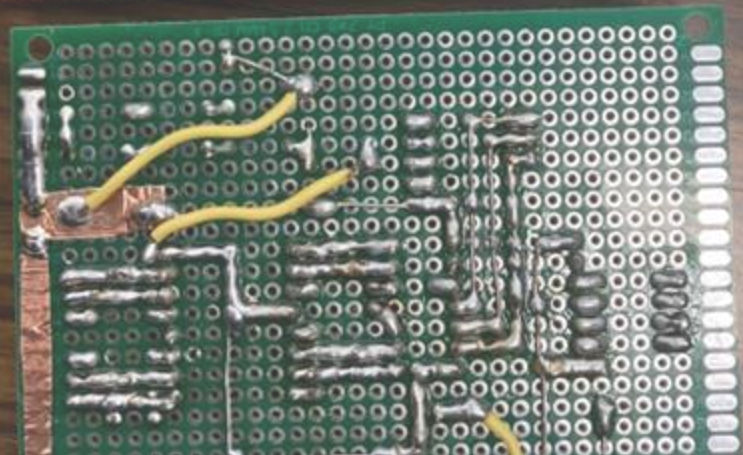
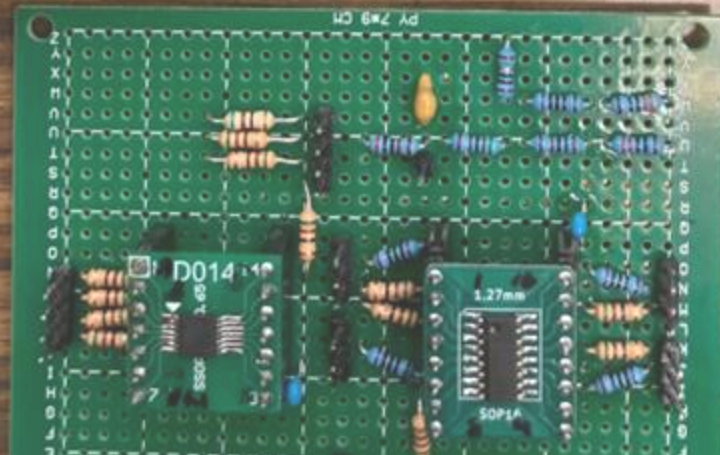
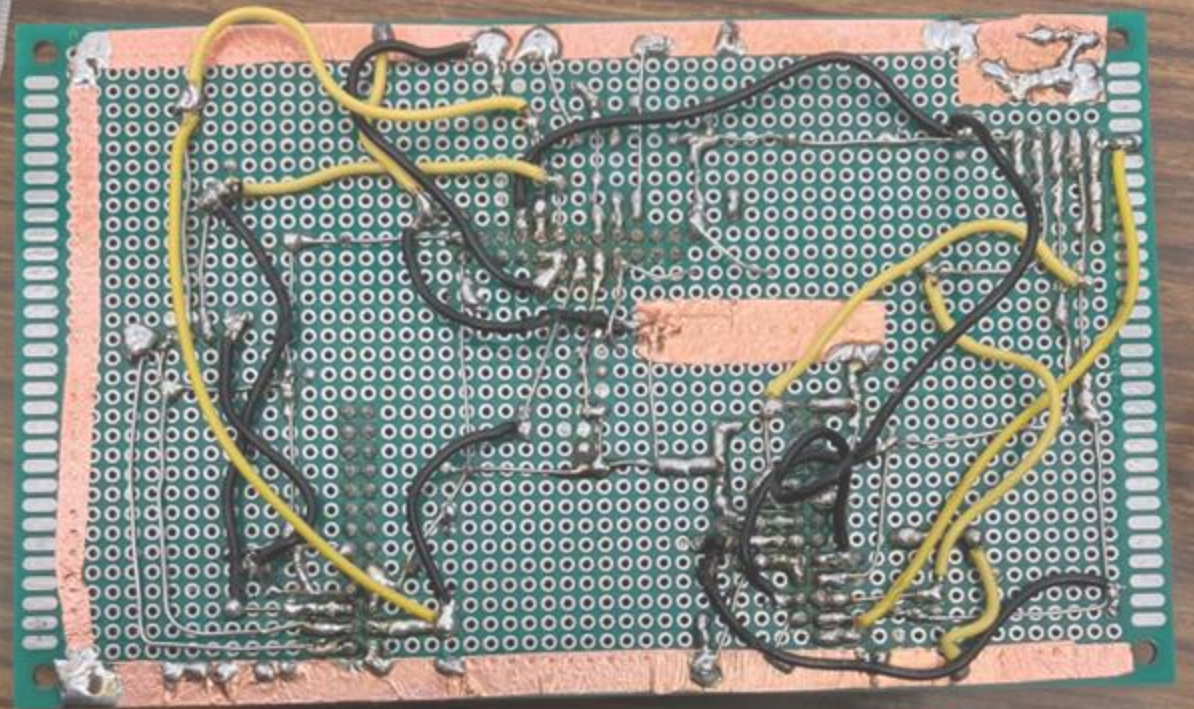
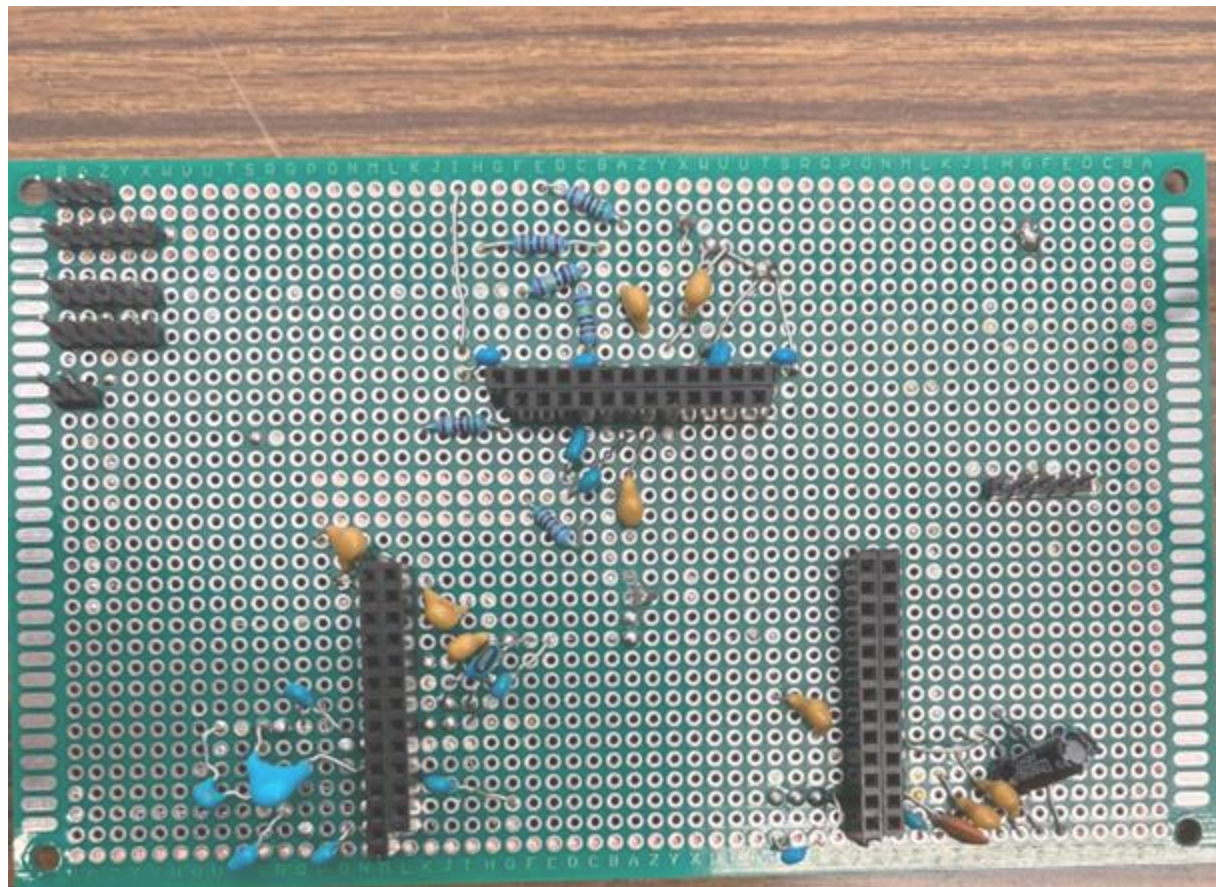


ASDについて



シュミレーション





DF

